

4-2-2 超高速電子デバイス技術 ～化合物半導体デバイス技術～

4-2-2 *Ultra-high-speed Electron Devices Technology -Compound Semiconductor Devices Technology-*

渡邊 一世 山下 良美

WATANABE Issei and YAMASHITA Yoshimi

未利用周波数帯であるミリ波・テラヘルツ波帯 (30 GHz ~ 3 THz) の電波・周波数資源の拡大や有効活用には、100 GHz を超える周波数で動作可能で、かつ高速・高周波特性に優れた III-V 族化合物半導体トランジスタなどの超高速電子デバイス技術の研究開発は重要で、第 5 世代移動体通信システム (5G) 以降の次世代移動体通信システム (Beyond 5G / 6G) などの超高速無線通信を実現するキーデバイスとして期待されている。本稿では、ミリ波・テラヘルツ波帯の利活用に必要な超高速電子デバイスの開発例として、III-V 族化合物半導体である InGaAs や GaN をチャンネル層 (電子走行層) とする高電子移動度トランジスタ (High Electron Mobility Transistor: HEMT) の高速・高周波化について概説する。

It is important to develop technologies of ultra-high-speed electron devices such high-speed and high-frequency III-V compound semiconductor transistors for opening and utilizing high-frequency bands as new radio wave and frequency resources. This is because the bands such as millimeter- and terahertz-wave bands (30 GHz-3 THz) have not been fully used, and these transistors can operate at a frequency over 100 GHz. These electron devices are expected to be key devices to realize next-generation mobile communication systems after 5G and beyond (such as Beyond 5G / 6G). This paper describes the fabrication procedure and device performance of nanoscale-gate InGaAs- and GaN-channel high electron mobility transistors (HEMTs) as examples of III-V compound semiconductor devices and ultra-high-speed electron devices technologies in NICT.

1 まえがき

NICT では、いまだ十分に利活用が進んでいないミリ波・テラヘルツ波帯 (周波数: 30 GHz ~ 3 THz) の電波・周波数資源の拡大や有効活用のため、III-V 族化合物半導体である InGaAs や GaN をチャンネル層 (電子走行層) とする高電子移動度トランジスタ (High Electron Mobility Transistor: HEMT) の高速・高周波化に取り組んでいる。特に、国際電気通信連合無線通信部門 (ITU-R) などにて周波数の割当て議論が進む 275 GHz 以上の周波数帯で動作する化合物半導体デバイスなど超高速電子デバイス技術を確立し、第 5 世代移動体通信システム (5G) 以降の次世代移動体通信システム (Beyond 5G / 6G) などの超高速無線通信の実現を目指す。本稿では、ミリ波・テラヘルツ波帯の利活用に必要な超高速電子デバイスの開発例として、

100 nm 以下のゲート長 (L_g) を有する InGaAs 系及び GaN 系 HEMT の作製プロセスやデバイス特性について概説する。

2 HEMT の高速・高周波化

HEMT[1][2]は電界効果型トランジスタ (Field Effect Transistor: FET) の一種ではあるが、電子走行層 (チャンネル層、channel) 中に不純物をドーピングしてキャリアとなる電子 (electron) または正孔 (hole) を発生させるのではなく、チャンネル層と電子供給層 (ドーピング層、doping layer) が、ドーピングされていない層 (スペーサー層、spacer) により空間的に分離されているため (図 1)、電子または正孔がドーピング原子 (不純物) からの散乱を受けることなく、高い移動度や飽和速度を示し、これにより優れた高速・高周波特性や低

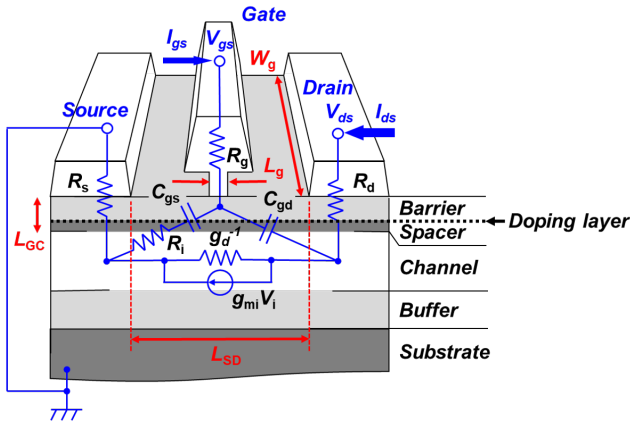


図1 HEMTの模式図と小信号等価回路

雑音特性が実現できる。なお、チャネル層中のキャリアが電子であるものをn型(Nチャネル)、正孔であるものをp型(Pチャネル)という。

HEMTは主にゲート(gate)、ソース(source)、ドレイン(drain)の3種類の端子(電極)をもつFETで、ゲート電極に電圧(ゲート電圧 V_{gs})を加えることによりチャネル領域に生じる電界により電子または正孔の密度を制御し、ソース・ドレイン電極間の電流(ソース・ドレイン電流 I_{ds})を制御する。HEMTなどの電子デバイスの性能指数として、電流・電圧(I-V)曲線や相互コンダクタンス(g_m)などのDC特性や、Sパラメータ(散乱パラメータ)や増幅率などの高周波(Radio Frequency: RF)特性があり、ベクトル・ネットワークアナライザ(Vector Network Analyzer: VNA)や半導体パラメータアナライザ、オンウェハ測定を行うための高周波プローブやプロービング・ステーションなどを組み合わせたオンウェハ・プロービング測定評価システムなどで測定される。なお、Sパラメータは通過・反射電力特性を表し、利得や損失を求めるだけでなく、電流利得遮断周波数(f_T)や最大発振周波数(f_{max})などを見積もる際にも利用する。なおHEMTの高速・高周波化とは、 f_T や f_{max} などで表されるRF特性を向上させることである。

2.1 HEMTの性能評価指数

HEMTの f_T は式(1)で定義され、 g_m は相互コンダクタンス、 C_{gs} はゲート・ソース容量、 C_{gd} はゲート・ドレイン容量をそれぞれ示し、 g_m は式(2)で定義される。なお、 I_{ds} はドレイン・ソース電流、 V_{gs} はゲート・ソース電圧、 R_s はソース抵抗、 g_{mi} はHEMT内部の真性 g_m を示す(各パラメータは図1に記載)。

$$f_T = \frac{g_m}{2\pi(C_{gs} + C_{gd})} \quad (1)$$

$$g_m \equiv \frac{\partial I_{ds}}{\partial V_{gs}} = \frac{g_{mi}}{1 + R_s \cdot g_{mi}} \quad (2)$$

一方、HEMTの f_{max} は式(3)で定義され、 R_g はゲート抵抗、 g_{ds} はドレイン・コンダクタンスを示す。なお、 f_T 及び f_{max} を実測されたSパラメータから求める場合は、Hパラメータ($|h_{21}|^2$)やMasonのユニラテラル電力利得(U_g)を求め、-20dBの傾きでの直線フィッティングから0dBとなる周波数を読み取ることにより求めることが可能である。なお本稿で示す f_T は、HEMT素子のコンタクト用パッド電極の寄生容量を差し引いた値である。

$$f_{max} = \frac{f_T}{2\sqrt{R_g g_{ds}}} = \frac{f_T}{\sqrt{4g_{ds}(R_s + R_i + R_g) + 2(C_{gd}/C_{gs})[(C_{gd}/C_{gs}) + g_m(R_s + R_i)]}} \quad (3)$$

以上より、高い f_T を実現するには、 g_m の向上と C_{gs} 、 C_{gd} などの容量の低減が、また高い f_{max} の実現には更に R_g や R_s などの寄生抵抗の低減が必要不可欠である。なお、 R_g や R_s の低減は微細T型ゲート電極や多層キャップ層などの導入により実現可能である[3]。

2.2 HEMT作製用半導体結晶

HEMTの作製には高品質な半導体結晶が必要不可欠で、分子線エピタキシー法(Molecular Beam Epitaxy: MBE)や有機金属気相成長法(Metal Organic Chemical Vapor Deposition: MOCVD)などにより、“基板(substrate)”となる単結晶半導体を下地として、下地と同じ結晶面や結晶方位をもつ結晶として成長される(エピタキシャル成長)。MBEやMOCVDでは、成長するエピタキシャル薄膜の膜厚をÅ(オングストローム、1Åは100億分の1mもしくは0.1nm)の精度で制御可能であるが、結晶間隔(格子定数)のほぼ等しい結晶や温度による膨張係数の近い材料を選択する必要がある(図2)。

本稿で概説するInGaAs系HEMTは、InGaAsチャネル層の上下をInAlAsで挟んだり、InP基板上に成長する構造であることから、InGaAs/InAlAs系HEMTやInP系HEMTとも呼ばれる(3の図4(a)参照)。また高い f_T や f_{max} 、低い雑音指数(Noise Figure: NF)など優れたデバイス特性が得られるとともに、現時点で f_{max} が1THz(=1,000GHz)を超えた唯一のトランジスタで、極低温下でも動作可能であることから、ミリ波・テラヘルツ波帯で動作する超高速・大容量無線通信、高感度・高分解能なセンシングやイメージングでの受信器用低雑音増幅器(Low Noise Amplifier:

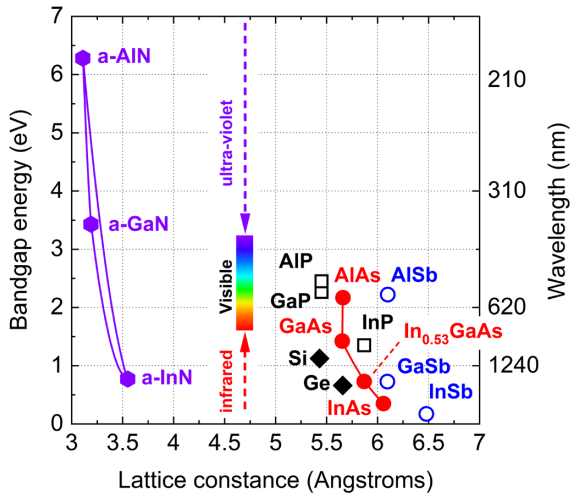


図2 半導体材料の格子定数とバンドギャップ

LNA)、通倍器 (Multiplier) やミキサ (Mixer)、量子コンピュータ用 LNA などに応用可能である [4]-[6]。InGaAs は GaAs と高い電子移動度 (μ) や電子飽和速度 (v_{sat}) をもつ InAs との混晶であり、インジウム (In) の組成比が高いほど μ を高くすることができる。格子定数 5.8687 \AA の InP 結晶は、比較的 In 組成の高い $\text{In}_{0.53}\text{Ga}_{0.47}\text{As}$ 結晶と格子整合するため (図 2)、優れた特性の薄膜結晶を欠陥の少ない状態でエピタキシャル成長することができる。このため、高速動作可能な InGaAs 系 HEMT の作製には、InP 基板が広く用いられている。なお格子定数が異なる GaAs 基板 (格子定数 5.653 \AA) を用いた場合においても、 $\text{In}_{0.53}\text{Ga}_{0.47}\text{As}$ 層と GaAs 基板との間に中間層 (バッファ層、buffer) を導入し、格子不整合による転位や欠陥が入りにくくする工夫もある。近年の極限高速デバイスの研究開発では、In 組成比が 70 % 以上の擬似格子整合 InGaAs チャンネルや InAs 挿入型の InGaAs チャンネルが用いられている [7][8]。

一方、GaN 系 HEMT は化合物半導体の中でもバンドギャップの大きな半導体 (ワイドバンドギャップ半導体) である GaN をチャンネル層として利用する。Si や GaAs などと比較して熱伝導率が大きく、放熱性に優れるため高温動作が可能で、また v_{sat} が高く絶縁破壊電圧が高いため、高出力・高耐圧なパワーエレクトロニクス材料や半導体デバイスとして期待されている。例えば携帯電話基地局用電力増幅器 (Power Amplifier: PA) や絶縁ゲートバイポーラトランジスタ (Insulated-Gate Bipolar Transistor: IGBT) インバータなどの DC・マイクロ波帯向けの製品、ミリ波・テラヘルツ波帯デバイスや集積回路、さらには 5G や Beyond 5G / 6G などでのマイクロ波～ミリ波～テラヘルツ波帯で動作する高出力 PA などへの応用が期待されている。GaN 系 HEMT を作製するにあたり、サ

ファイア、炭化シリコン (SiC) や Si 基板などにバッファ層を導入するなど良質な半導体結晶を得るための構造検討や成長技術開発が行われてきた。近年、ウェハサイズの GaN 基板の製造・入手が可能となり、貫通欠陥密度が非常に少ない、高品質な HEMT 作製用 GaN 結晶が得られるようになった (3 の図 4 (e) 参照)。

3 HEMT の開発例

HEMT の高速・高周波化には、2.2 で述べたように貫通欠陥など結晶欠陥が非常に少なく、チャンネル層の高い μ や v_{sat} 、高い電子密度 (シートキャリア濃度、 N_s) をもつ高品質な半導体結晶が必要不可欠であるとともに、エピタキシャル半導体結晶の各層の膜厚の最適設計も重要である。さらには、デバイス構造の最適化、特にゲート長 (L_g) やゲート電極とチャンネル層との距離 (ゲート・チャンネル間距離: L_{GC}) をそれぞれ短縮し、短チャンネル効果を抑制しなければならない。また、ソース・ドレイン電極間距離 (L_{SD}) の短縮も必要不可欠である。これらは電子線 (Electron Beam: EB) リソグラフィ技術を用いたレジスト露光を複数回行い、素子全体を結晶成長方向に対して水平及び垂直方向にそれぞれ微細化 (スケーリング) している [9][10]。3 では、InGaAs 系 HEMT 及び GaN 系 HEMT の作製プロセス、特に 100 nm 以下の L_g を有する HEMT の作製プロセスと DC 及び RF 特性、さらにはミリ波帯での出力特性について説明する。

3.1 HEMT の作製プロセス

3.1.1 InGaAs 系 HEMT

EB レジスト露光を複数回用いた素子構造のスケーリングではナノメートルオーダーで位置合わせをしなければならず、作製プロセスを複雑にし、HEMT 単一素子だけでなく複数の HEMT 素子が組み込まれたモノリシック集積回路 (Monolithic Millimeter-wave Integrated Circuit: MMIC) の歩留まりや再現性を劣化させる可能性がある。このことから InGaAs 系 HEMT の優れたデバイス特性を維持し、歩留まりや再現性・信頼性の向上と製造コストの削減が可能な作製プロセスの開発は極めて重要である。

図 3(a) は微細 T 型ゲートを有する InGaAs 系 HEMT の作製プロセスである。微細 T 型ゲート電極形成は三層 EB レジスト工程のみの EB 露光とセルフアラインプロセスを組み合わせ、(1) L_g の短縮、(2) n^+ -InGaAs キャップ層のリセスエッチング及び (3) サイドリセス構造を同時形成可能なセルフアライン 1 段リセスゲート・プロセスを開発・導入した。紫外線 (Ultra-Violet: UV) を用いたフォトリソグラフィによる素子分離の後、

Ti/Pt/Au ノンアロイ金属によりソース及びドレイン電極 ($L_{SD}=1.8 \sim 2 \mu\text{m}$) を形成した。次に EB レジストの密着性及び L_g 再現性向上を目的とした SiO_2 膜を蒸着形成した後、三層 EB レジスト (ZEP/PMGI/ZEP) を用いたリフトオフ法により T 型 Ti/Pt/Au ショットキーゲート電極 (ゲート幅 $W_g=50 \times 2 \mu\text{m}$) を形成した。なお、Si をドーピングした n^+ -InGaAs キャップ層は、ゲート電極形成前に三層 EB レジストの最下層をマスクにして反応性イオンエッチング (Reactive Ion Etching: RIE) で SiO_2 に開けたスリットを通してクエン酸系選択ウェットエッチング液を用いて除去 (リセスエッチング) した。なお、このスリット形状が L_g 及び W_g を決定する。この作製プロセスにおいて、InGaAs/InAlAs エピタキシャル結晶構造の最適化は必須で、チャンネル層内の二次元電子ガス (Two-Dimensional Electron Gas: 2DEG) 濃度の減少やソース及びドレイン抵抗の増大を抑制するため、InAlAs スペーサー層及び InAlAs バリア層の膜厚をそれぞれ 3 nm、6 nm とした [11]。さらに InAlAs バリア層の薄膜化によるゲートリーク電流の抑制と 100 nm 以下のサイドリセス構造を形成するため InP エッチングストッパー層の膜厚を 3 nm とし、 n^+ -InGaAs キャップ層の除去とサイドリセス構造を同時に形成する構造とした。

図 4(a) は $\text{In}_{0.75}\text{Ga}_{0.25}\text{As}/\text{In}_{0.52}\text{Al}_{0.48}\text{As}$ -HEMT の断面模式図で、3 インチ (100) 面方位 InP 基板上に MBE 法にて成長された [12]。チャンネル層は In 組成比 75 % の $\text{In}_{0.75}\text{Ga}_{0.25}\text{As}$ 層で、厚さは 8 nm である。この極薄 $\text{In}_{0.75}\text{Ga}_{0.25}\text{As}$ チャンネル層は InP や $\text{In}_{0.53}\text{Ga}_{0.47}\text{As}$ と格子整合する $\text{In}_{0.52}\text{Al}_{0.48}\text{As}$ バッファ層上に成長した。これは歪 (ひず) みを導入した擬似格子整合にすることで更に高い In 組成比でもエピタキシャル成長が可能となるため、この結果、 $\mu=9,840 \text{ cm}^2/\text{Vs}$ 、 $N_s=3.0 \times 10^{12} \text{ cm}^{-2}$ の電気的特性を示した。図 4 (b) 及び図 4 (c) は InP 基板上 InGaAs/InAlAs-HEMT 及び微細 T 型ゲート電極の断面透過型電子顕微鏡 (Transmission Electron Microscopy: TEM) 写真で、 L_g 、ソース側及びドレイン側サイドリセス長、 L_{GC} はそれぞれ 35 nm、50 nm、8 nm であり、所望のゲート構造 (セルフアライン 1 段リセスゲート構造) が形成されていることが分かる。

3.1.2 GaN 系 HEMT

GaN 系 HEMT では、薄膜バリア層、セルフアラインゲート電極や再成長コンタクト層などのデバイス構造の工夫により、AlN/GaN/AlGaIn-HEMT で約 600 GHz の f_{max} と 450 GHz を超える f_T が、また高い分極を示す InAlN/AlN バリア層を有する HEMT において $f_T=370 \text{ GHz}$ がそれぞれ報告されている [13]-[15]。さら

に、周波数 94 GHz で 6.7 W/mm もの高い出力電力密度が N 極性 MIS (Metal-Insulator-Semiconductor) 型 GaN-HEMT で報告されている [16]。これらの性能は、GaN 系 HEMT などの GaN 系トランジスタや増幅器が高出力・高耐圧デバイスとしてだけでなく、5G や Beyond 5G / 6G などで必要とされる高速・高周波・高出力特性を兼ね備えた化合物半導体電子デバイスとして有望であることを示すものである。

図 3 (b) は微細 T 型ゲートを有する GaN 系 HEMT の作製プロセスである。UV 及び EB を用いたリソグラフィ技術により、 L_g 、 W_g 及び L_{SD} をそれぞれ短縮し、 $L_g=35 \sim 140 \text{ nm}$ 、 $W_g=50 \mu\text{m} \times 2$ 、 $L_{SD}=0.75 \mu\text{m}$ とした。なお、ソース電極・ドレイン電極に Ti/Al を、

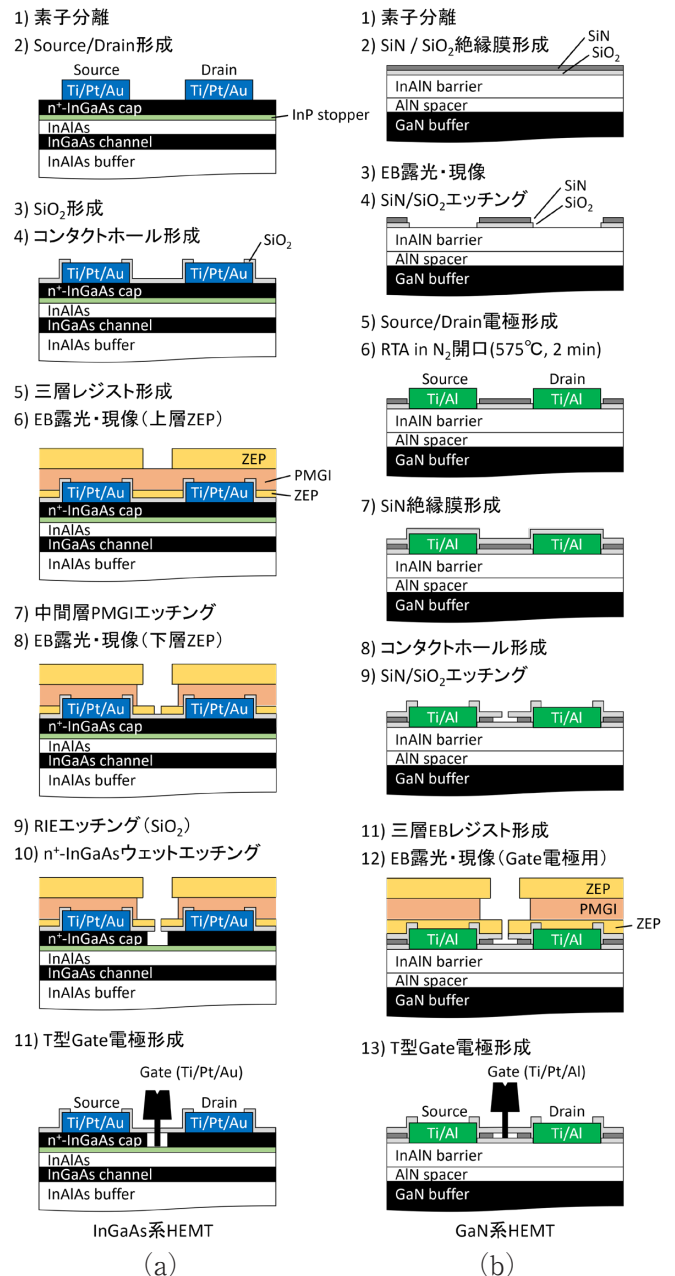


図 3 作製プロセス (a) InGaAs 系 HEMT、(b) GaN 系 HEMT

ゲート電極に Ti/Pt/Au を使用した。なお、GaN 系 HEMT の高速・高周波特性の向上のため、 L_g を 100 nm 以下に短縮するとともにエピタキシャル結晶表面の保護やショットキー界面の安定化を試みた結果、三層絶縁膜 SiN/SiO₂/SiN 構造を開発・導入した [17][18]。この三層絶縁膜の最下層 SiN により (1) GaN エピタキシャル結晶表面の安定化を、中間層 SiO₂ により (2) 微細ゲート作製時のプロセスダメージの除去を、さらに最上層 SiN により (3) 微細ゲート電極の機械的支持を同時に実現する。なお、SiN はホットワイヤー CVD (Chemical Vapor Deposition) 法により形成した。この三層絶縁膜の最下層 SiN 上にゲート電極を直接形成

すると MIS 型 HEMT になる一方で、この SiN をフッ素 (F) 系 RIE による選択的エッチングなどにより除去した後、InAlN 層上にゲート電極を形成すると MES (Metal-Semiconductor) 型 HEMT (または Schottky 型 HEMT) を容易に、かつ同一基板上に作製可能である (図 4 (d) 参照) [19]。

図 4 (d) は作製した In_{0.18}Al_{0.82}N/AlN/GaN-HEMT の断面模式図である [20][21]。エピタキシャル層として GaN バッファ層 1,600 nm、AlN スペース層 1 nm 及び In_{0.18}Al_{0.82}N バリア層 3 nm で構成されており、GaN 基板上に MOCVD 法によりエピタキシャル成長し、 μ 、 N_s 、シート抵抗 (ρ_{\square})、コンタクト抵抗 (R_c) をホール測

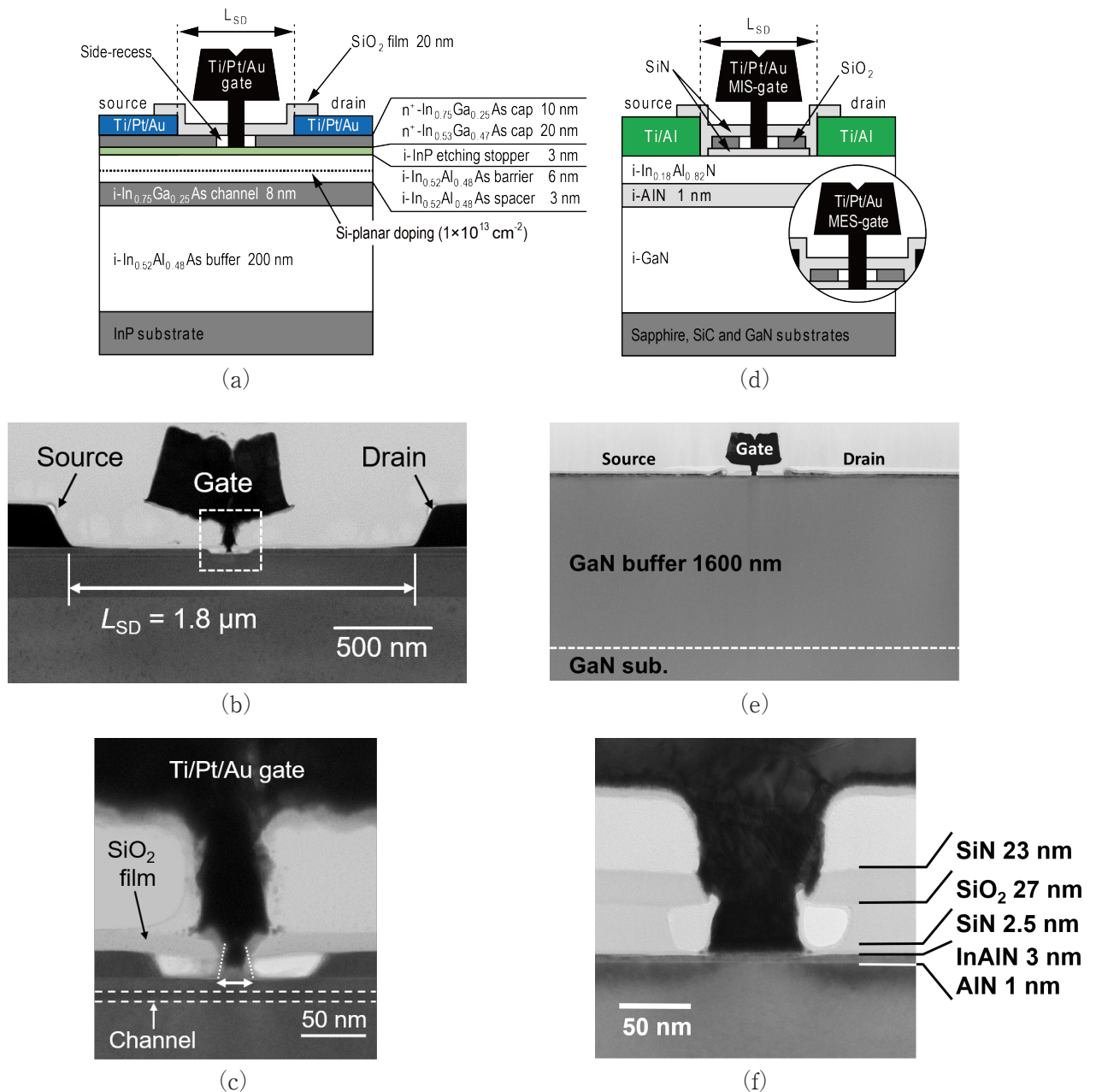


図 4 (a) InP 基板上 In_{0.75}Ga_{0.25}As/In_{0.52}Al_{0.48}As-HEMT の断面模式図、InGaAs/InAlAs-HEMT の (b) 断面及び (c) T 型ゲート電極のフット部 ($L_g = 35$ nm) の TEM 像、(d) In_{0.18}Al_{0.82}N/AlN/GaN-HEMT の断面模式図、GaN 基板上 GaN-HEMT の (e) 断面及び (f) T 型ゲート電極のフット部 ($L_g = 70$ nm) の TEM 像

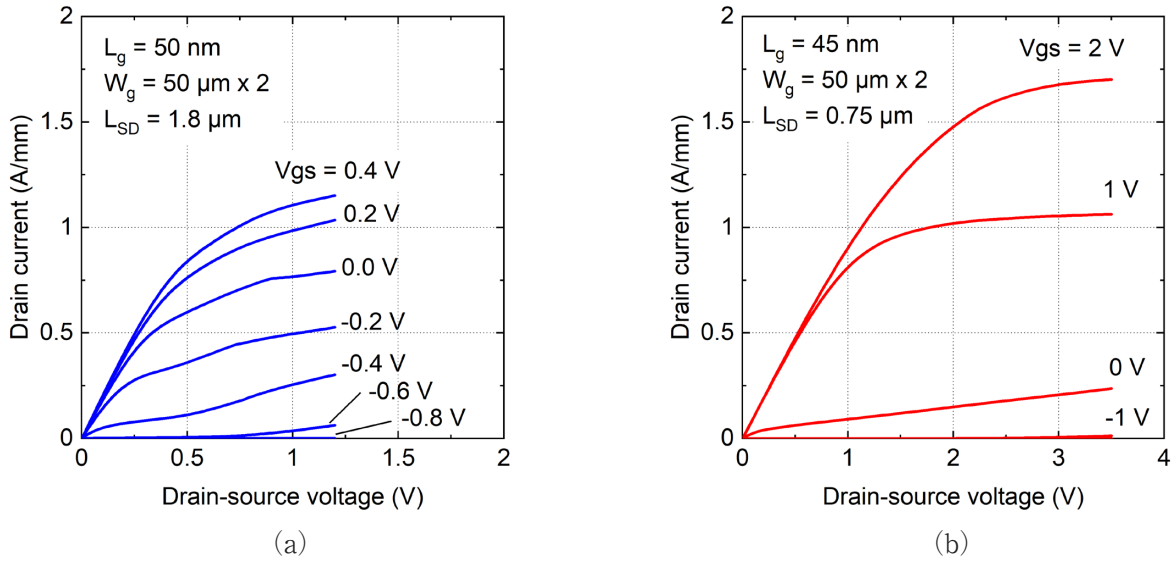


図5 DC 特性 (I_{ds} - V_{ds} 特性) (a) InP 基板上 $In_{0.75}Ga_{0.25}As/In_{0.52}Al_{0.48}As$ -HEMT ($L_g=50$ nm)、(b) GaN 基板上 MES 型 $In_{0.18}Al_{0.82}N/AlN/GaN$ -HEMT ($L_g=45$ nm)

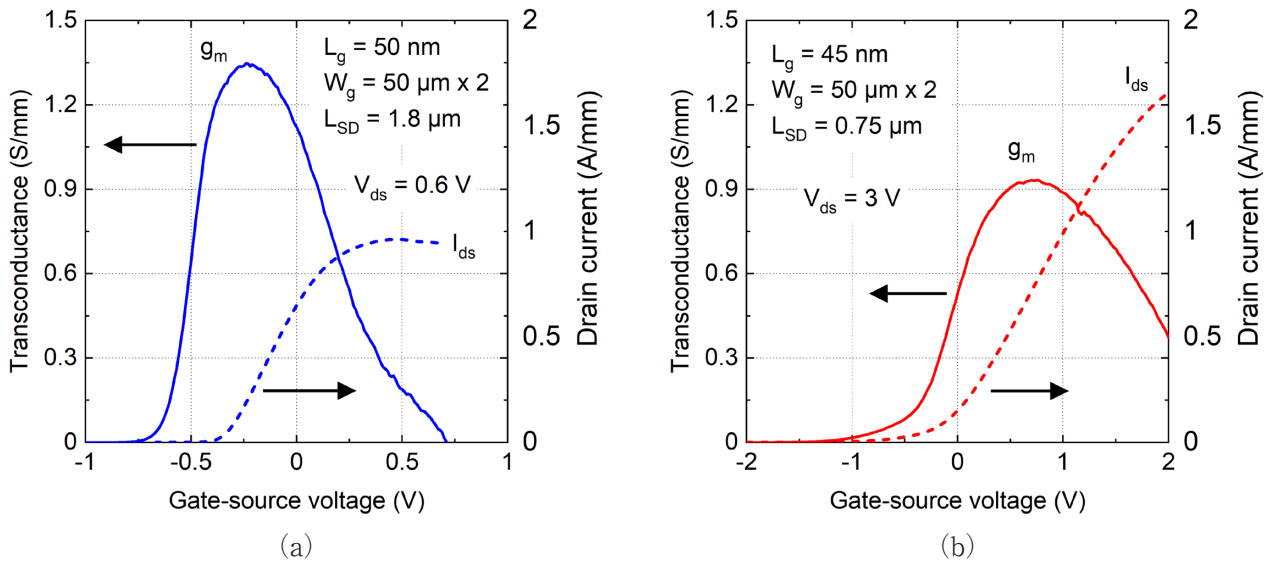


図6 DC 特性 (g_m 特性) (a) InP 基板上 $In_{0.75}Ga_{0.25}As/In_{0.52}Al_{0.48}As$ -HEMT ($L_g=50$ nm)、(b) GaN 基板上 MES 型 $In_{0.18}Al_{0.82}N/AlN/GaN$ -HEMT ($L_g=45$ nm)

定によりそれぞれ見積もった。この結果、 $\mu=1,560$ cm^2/Vs 、 $N_s=1.64 \times 10^{13} cm^{-2}$ 、 $\rho_{\square}=245 \Omega/sq$ を示した。一方、 R_c は $0.3 \sim 0.4 \Omega/mm$ であった。なお、SiC 基板上の同一構造との差異は認められなかった。図4(e)は GaN 基板上 $In_{0.18}Al_{0.82}N/AlN/GaN$ -HEMT の断面 TEM 像で、図4(f)に示すとおり最下層 SiN の膜厚は 2.5 nm で設計どおりであった。また、GaN エピ層に生じた貫通欠陥密度は $7 \times 10^7 cm^{-2}$ 以下と、サファイア及び SiC 基板上の約 $2 \times 10^9 cm^{-2}$ と比べて 2 桁以上も少ないことも明らかになった。

3.2 HEMT のデバイス特性

3.2.1 DC 及び RF 特性

$In_{0.75}Ga_{0.25}As/In_{0.52}Al_{0.48}As$ -HEMT ($L_g=50$ nm) の DC 特

性 (I_{ds} - V_{ds} 、 g_m 特性) を図5(a) 及び図6(a) に、また RF 特性を図7(a) に示す。RF 特性はネットワークアナライザ (HP8510C) を用いて 0.25 GHz から 50.25 GHz の範囲で S パラメータを測定し、電流利得の周波数依存性において、 -20 dB/decade での外挿により f_T を見積もった。この結果、 $g_m=1.34$ S/mm、 $f_{max}=550$ GHz、 $f_T=450$ GHz をそれぞれ達成、 $L_g=50$ nm の InGaAs 系 HEMT において f_{max} が 500 GHz を超える高速・高周波特性が得られた [12]。

GaN 基板の上に作製した MES 型 GaN-HEMT ($L_g=45$ nm) の DC 特性を図5(b) 及び図6(b) に、また RF 特性を図7(b) に示す。 3 nm 厚の $In_{0.18}Al_{0.82}N$ バリア層を形成した HEMT において、 $g_m=0.91$ S/mm、 $f_T=228$ GHz、 $f_{max}=287$ GHz が得られた [20]-[22]。一方、

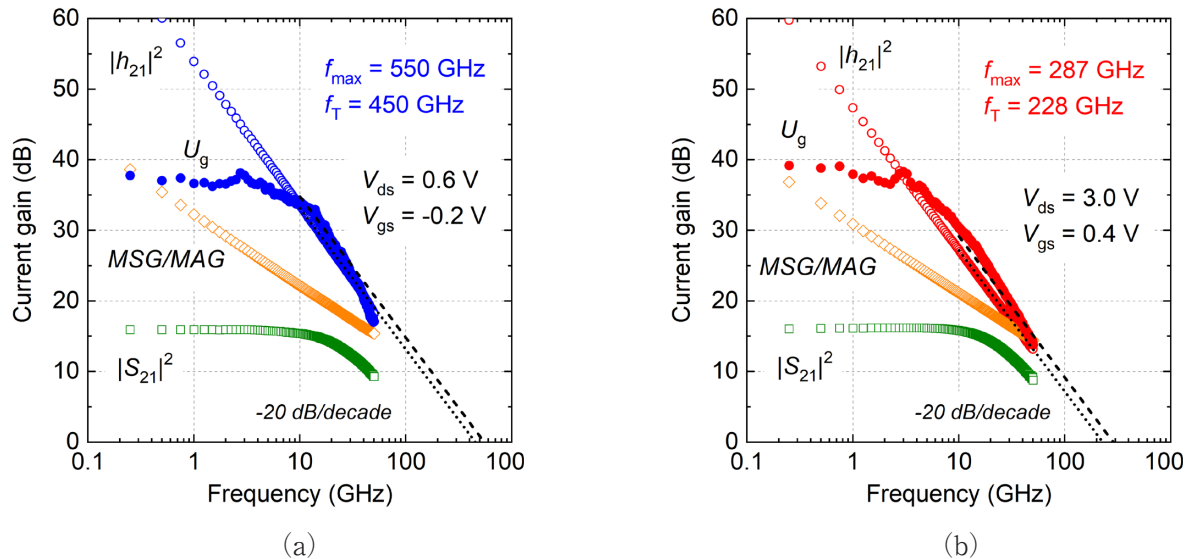


図7 RF特性 (a) InP基板上 $\text{In}_{0.75}\text{Ga}_{0.25}\text{As}/\text{In}_{0.52}\text{Al}_{0.48}\text{As}$ -HEMT ($L_g=50$ nm)、(b) GaN基板上MES型 $\text{In}_{0.18}\text{Al}_{0.82}\text{N}/\text{AlN}/\text{GaN}$ -HEMT ($L_g=45$ nm)

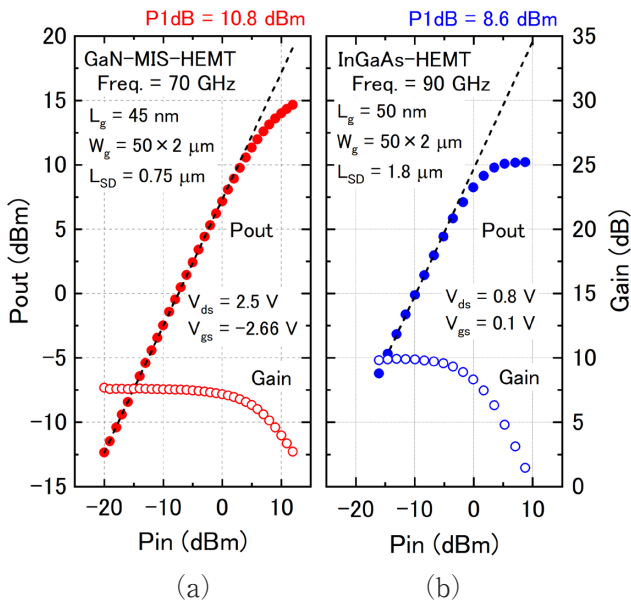


図8 ミリ波帯での出力特性 (a) GaN基板上MIS型GaN-HEMT (周波数70 GHz)、(b) InP基板上InGaAs-HEMT (同90 GHz)

GaN基板上MIS型GaN-HEMTのRF特性は、 $f_T=237$ GHz、 $f_{\max}=235$ GHzであった。このRF特性は、SiCやサファイア基板上に作製したGaN-HEMTと比較すると、MIS型HEMTではほぼ同等な特性を、MES型HEMTでは約5%高い特性を示した。このことから、MIS型、MES型のいずれの構造においても基板材料による高周波特性への影響が少ないことが示唆された。しかし、ショットキーゲートの順方向リーク電流はGaN基板上のGaN-HEMTが他の基板上のGaN-HEMTと比べて1桁小さく、より大きなオン電流(I_{on})を得られることが明らかになった。

3.2.2 ミリ波帯での出力特性

図8(a)はGaN基板上MIS型 $\text{In}_{0.18}\text{Al}_{0.82}\text{N}/\text{AlN}/\text{GaN}$ -HEMT ($L_g=45$ nm、 $W_g=50 \mu\text{m} \times 2$ 、 $L_{\text{SD}}=0.75 \mu\text{m}$)の周波数70 GHzにおける出力特性 ($V_{\text{ds}}=2.5$ V)である。なお、出力特性(利得、飽和出力、出力電力密度、電力負荷効率PAEなど)はEHF帯オンウェハ・ロード・ソースプル評価測定システムを用いて測定した。この結果、約15 dBm (32 mW、ゲート幅1 mmあたり0.32 W)の出力電力(P_{out})と10.8 dBmの1 dB利得圧縮点(P1dB)が得られた。90 GHzで測定したInP基板上 $\text{In}_{0.7}\text{Ga}_{0.3}\text{As}/\text{In}_{0.52}\text{Al}_{0.48}\text{As}$ -HEMT ($L_g=50$ nm、 $W_g=50 \mu\text{m} \times 2$ 、 $L_{\text{SD}}=1.8 \mu\text{m}$)の出力特性(図8(b))と比較するとP1dBは約26%高く、高い線形増幅性を示した[23]。このような高周波・出力特性を有するGaN-HEMTは、ミリ波・テラヘルツ波を利用した無線通信技術において、歪み補償回路(Digital Pre-Distorter: DPD)を不要もしくは簡素化できる高出力PAとして利用できると考えられ、Beyond 5G / 6Gの携帯基地局や幹線系、衛星通信などの無線通信インフラへの応用が期待される。

4 まとめ

ミリ波・テラヘルツ波帯の利活用に必要な超高速電子デバイスの開発例として、Ⅲ-V族化合物半導体電子デバイスであるInGaAs系HEMTやGaN系HEMTの高速・高周波化について、 L_g が100 nm以下の微細T型ゲートを有するHEMTの作製プロセスやデバイス特性について概説した。今後、Beyond 5G / 6Gなどの次世代移動体通信システムにおけるミリ波・テラヘルツ波帯の利活用のため、これらⅢ-V族化合物半導体電子デバイスの更なる高性能化や集積化、光

4 百折不撓・デバイス研究

デバイスとの融合技術の確立だけでなく、これらデバイスの設計・作製プロセス技術や高周波計測技術などの超高速電子デバイス技術は In (Ga) Sb やグラフェンなどをチャネルとする FET や共鳴トンネルダイオード (Resonant Tunneling Diode: RTD) などの THz 発振デバイスの開発に応用・展開が可能であろう。

謝辞

本研究開発の一部は総務省「電波資源拡大のための研究開発 (JPJ000254)」により実施された。

【参考文献】

- 1982 年度 電子通信学会 業績賞 三村高志、冷水佐壽「高電子移動度トランジスタ (HEMT) の開発」
2. S. Hiyamizu et al., "High Mobility of Two-dimensional Electrons at The GaAs/n-AlGaAs Heterojunction Interface," Applied Physics Letters, vol.37, no.9, p.805, 1980.
3. K. Shinohara et al., "547-GHz f_T In_{0.7}Ga_{0.3}As-In_{0.52}Al_{0.48}As HEMTs With Reduced Source and Drain Resistance," IEEE Electron Device Lett., vol.25, pp.241-243, 2004.
4. R. La et al., "Sub 50 nm InP HEMT Device with Fmax Greater than 1 THz," Int. Electron Devices Meeting, pp.609-611, 2007.
5. I. Watanabe et al., "High Transconductance of 2.25 S/mm Observed at 16 K for 195-nm-Gate In_{0.75}Ga_{0.25}As/In_{0.52}Al_{0.48}As HEMTs Fabricated on (411)A-Oriented InP Substrate," IEEE Electron Device Lett., vol.26, pp.425-428, 2005.
6. Jaeyong Jeong et al., "3D stackable cryogenic InGaAs HEMTs for heterogeneous and monolithic 3D integrated highly scalable quantum computing systems," Proc. 2022 IEEE Symposium on VLSI Technology and Circuits, vol.26, pp.328-329, 2022.
7. S. J. Yeon et al., "610 GHz InAlAs/In_{0.75}GaAs metamorphic HEMTs with an ultra-short 15-nm-gate," Int. Electron Devices Meeting, pp.613-616, 2007.
8. D. H. Kim et al., "30-nm InAs pseudomorphic HEMTs on an InP substrate with a current-gain cutoff frequency of 628 GHz," IEEE Electron Device Lett., vol.29, pp.830-833, 2008.
9. T. Suemitsu et al., "30-nm-Gate InP-Based Lattice-Matched High Electron Mobility Transistors with 350 GHz Cutoff Frequency," Jpn. J. Appl. Phys., vol.38, pp.L154-L156, 1999.
10. T. Suemitsu et al., "Gate and Recess Engineering for Ultrahigh-Speed InP-Based HEMTs," IEICE Trans. Electron., vol.E84-C, pp.1283-1288, 2001.
11. I. Watanabe et al., "Thermal stability of Ti/Pt/Au ohmic contacts for cryogenically cooled InP-based HEMTs on (411)A-oriented substrates by MBE," J. Cryst. Growth., vol.301-302, pp.1025-1029, 2007.
12. I. Watanabe et al., "E-Band Low Noise Amplifier MMICs Using Nanogate InGaAs/InAlAs HEMT Technology," IEICE Trans. Electron., vol.E93-C, no.8, 2010.
13. K. Shinohara et al., "Scaling of GaN HEMTs and Schottky Diodes for Submillimeter-Wave MMIC Applications," IEEE Trans. Electron Devices, vol.60, no.10, pp.2982-2996, 2013.
14. Y. Tang et al., "Ultrahigh-Speed GaN High-Electron-Mobility Transistors With f_T/f_{max} of 454/444 GHz," IEEE Electron Device Lett., vol.36, no.6, pp.549-551, 2015.
15. Y. Yue et al., "InAlN/AlN/GaN HEMTs With Regrown Ohmic Contacts and f_T of 370 GHz," IEEE Electron Device Lett., vol.33, no.7, pp.988-990, 2012.
16. S. Wienecke et al., "N-polar GaN cap MISHEMT with Record Power Density Exceeding 6.5 W/mm at 94 GHz," IEEE Electron Dev. Lett., vol.38, no.3, pp.359-362, 2017.
17. A. Endoh et al., "High Performance AlGaIn/GaN Metal-Insulator-Semiconductor High Electron Mobility Transistors Fabricated Using SiN/SiO₂/SiN Triple-Layer-Insulators," Jpn. J. Appl. Phys., vol.45, no.4B, pp.3364-3367, 2006.
18. Y. Yamashita et al., "Effect of Bottom SiN Thickness for AlGaIn/GaN Metal-Insulator-Semiconductor High Electron Mobility Transistors Using SiN/SiO₂/SiN Triple-Layer Insulators," Jpn. J. Appl. Phys., vol.45, no.26, pp.L666-L668, 2006.
19. M. Higashiwaki et al., "Enhancement-Mode AlN/GaN HFETs Using Cat-CVD SiN," IEEE Trans. Electron Devices, vol.54, pp.1566-1570, 2007.
20. 山下ほか, "GaN 自立基板を用いた InAlN/AlN/GaN HEMT のデバイス特性," 第 63 回応用物理学会 春季学術講演会, no.20p-P9-2, 2016.
21. 渡邊ほか, "ミリ波・テラヘルツ波帯無線通信電子デバイスの研究開発," 電気学会 電子デバイス研究会, no.EDD-18-039, 2018.
22. I. Watanabe et al., "Research and Development of GaN-based HEMTs for Millimeter- and Terahertz-Wave Wireless Communications," Proc. 2020 IEEE Int. Sym. on Radio-Frequency Integration Technology, pp.22-24, 2020.
23. I. Watanabe et al., "Research and Development of GaN-based HEMTs for mm-Wave and THz Wireless Communications," Proc. 2022 IEEE Int. Microwave Sym., no.WMI-7, 2022.



渡邊 一世 (わたなべ いっせい)

未来 ICT 研究所
小金井フロンティア研究センター
超高周波 ICT 研究室
室長
博士 (工学)
超高周波電子デバイス・集積回路、高周波計測、
半導体結晶成長
【受賞歴】
2016 Best Paper Award, IRMMW-THz2016
2016 Best Industry Paper Award, 2016 IMS
2009 SSDM Paper Award, SSDM 2009



山下 良美 (やました よしみ)

未来 ICT 研究所
小金井フロンティア研究センター
超高周波 ICT 研究室
研究技術員
超高周波電子デバイス・プロセス技術
【受賞歴】
2009 SSDM Paper Award