

## 4-2-4 酸化ガリウムデバイス技術

### 4-2-4 Gallium Oxide Device Technology

上村 崇史 東脇 正高

KAMIMURA Takafumi and HIGASHIWAKI Masataka

これまでに、酸化ガリウム 高周波トランジスタの電流利得遮断周波数と最大発振周波数を律速する主因は、大きなソース・ドレインアクセス抵抗に起因する長い電荷充電遅延であることが解析によりわかっている。そのため、高周波特性の一層の向上を実現するには、ソース・ドレインアクセス抵抗の最小化が有効な手段の1つである。本研究では、NICTの先端ICTデバイスラボ施設を利用してソース・ドレインアクセス抵抗の大幅な低減が期待できるセルフアラインリセスゲートを持つ、高周波酸化ガリウム金属-酸化物-半導体電界効果トランジスタの作製に向けた低界面準位密度を実現する狭小リセスエッチングプロセスと自己整合ゲート電極作製技術を開発した。

We have shown that the main factor limiting the current gain cutoff frequency and the maximum oscillation frequency of radio-frequency (RF) gallium oxide ( $\text{Ga}_2\text{O}_3$ ) transistors is the long charging delay due to the large source-drain access resistance, so far. Therefore, minimizing the source-drain access resistance is one of the effective means to further improve the RF characteristics. In this work, in order to realize a self-aligned recessed gate RF  $\text{Ga}_2\text{O}_3$  metal-oxide-semiconductor field-effect transistor, which is expected to significantly reduce the source/drain access resistance, we developed a narrow-gap etching process and a self-aligned recessed gate electrode fabrication technique with a low interface state density at the advanced ICT device laboratory facility of the NICT.

#### 1 まえがき

グリーンICTデバイス研究室では、酸化物半導体の一種である酸化ガリウム ( $\text{Ga}_2\text{O}_3$ ) を使用してパワーデバイスと極限環境デバイスの研究開発を行っている。ここでパワーデバイスとは、インバーターやコンバーターなど電力変換器への使用に特化した半導体素子の総称である。また、極限環境とは、従来の半導体デバイスでは、著しい性能劣化が生じ継続的な使用が不可能な環境を指す。当研究室では、 $\text{Ga}_2\text{O}_3$  のパワーデバイス材料としての優れた特性に世界に先駆けて着目し、2011年に初めて  $\text{Ga}_2\text{O}_3$  デバイスを実現した。電子やホールが価電子帯から伝導帯に遷移するために必要なエネルギーをバンドギャップと言ひ、半導体の性質を左右する主因である。特にバンドギャップが大きくパワーデバイスに適するワイドバンドギャップ半導体材料は、非常に強固な原子間の結合を持つ傾向があり、 $\text{Ga}_2\text{O}_3$  もこの特性を有する。したがって、 $\text{Ga}_2\text{O}_3$  は放射線や機械的ストレスに高い耐性を持つ堅牢な材料であ

ると言える。ほかにも、数百度の高温でさえ周辺環境の熱エネルギーにじょう乱されることなくデバイス動作が期待できる。さらに酸化物であるため化学的にも安定である。このように、端的に言えば“頑丈”な  $\text{Ga}_2\text{O}_3$  デバイスは、パワーデバイス用途だけでなく、極限環境と呼ばれる非常に過酷な環境でもいきてくる。

高周波用金属酸化物半導体電界効果トランジスタ (RF MOSFET) は、無線通信などの高周波信号の電力増幅に用いられる。特に、 $\text{Ga}_2\text{O}_3$  RF MOSFET は、極限環境での無線通信によるモノのインターネット (IoT) 実現が期待される。これまでに当研究室で作製した  $\beta$  相 ( $\beta$ -)  $\text{Ga}_2\text{O}_3$  MOSFET において、電子がチャネル内を走行する距離を規定するゲート長 ( $L_g$ ) 200 nm における電流利得遮断周波数 ( $f_T$ ): 9 GHz、最大発振周波数 ( $f_{\text{max}}$ ): 27 GHz と、その優れた高周波小信号特性を実証してきた [1]。ここで、 $f_T$  は、電流利得に関する増幅動作の周波数上限を指し、周波数上昇に伴う電流利得の低下により 0 dB (出力電流と入力電流の比が 1) となる周波数の値である。また、 $f_{\text{max}}$  は、ト

ランジスタの電力利得が 0 dB となる周波数である。解析により、これら  $f_T$  と  $f_{max}$  を律速する主因は、大きなソース・ドレインアクセス抵抗 ( $R_{access}$ ) に起因する長い電荷充電遅延であることがわかっている。 $R_{access}$  は、オーミック電極とチャネル間の抵抗であり、デバイスの寄生抵抗として存在する。RF 特性の一層の向上を実現するには、この  $R_{access}$  の最小化が有効な手段の1つとなる。本研究では、当機構の先端 ICT デバイスラボ施設を利用して、 $R_{access}$  の大幅な低減が期待できるセルフアラインリセスゲートを持つ短ゲート  $\beta$ -Ga<sub>2</sub>O<sub>3</sub> の作製に向けた低界面準位密度を実現する狭小リセスエッチングプロセスと自己整合ゲート電極作製技術を開発した。このプロセスでは、MOSFET のゲート絶縁膜に作製した凹部(リセス)を利用して自己整合的(セルフアライン)にゲート電極位置とゲート長を決定する。

## 2 セルフアラインリセスゲートプロセス開発

### 2.1 リセス内へのゲート電極形成

まず、BCl<sub>3</sub> 誘導結合プラズマ反応性イオンエッチン

グ(ICP-RIE)を用いて、ゲートリセス構造を形成する  $\beta$ -Ga<sub>2</sub>O<sub>3</sub> (010) 基板エッチングプロセスを開発した [2]。ICP 電力とバイアス電力 ( $V_{bias}$ ) はそれぞれ 150 W と 2 W とし、プラズマ密度を高く保ちつつ低いイオンエネルギーを用いた。エッチングマスクには、プラズマ化学気相成長法で成膜した厚さ 150 nm の SiO<sub>2</sub> 膜を用いた。図 1 (a) は、Ga<sub>2</sub>O<sub>3</sub> エッチングレートのリセス幅 ( $W_{recess}$ ) 依存性である。 $W_{recess} \geq 500$  nm ではほぼ一定であり、 $W_{recess} < 500$  nm の範囲で  $W_{recess}$  の減少に伴い急激に減少しているが、これは狭いリセスでのラジカル拡散速度の低下によるものと考えられる。図 1 (b) にリセスの断面走査型電子顕微鏡 (SEM) 画像を示す。 $V_{bias}$  が極めて低いため、等方的にエッチングされ、SiO<sub>2</sub> 層が張り出した構造になっている。さらに、Ga<sub>2</sub>O<sub>3</sub> 側壁には粗い表面構造が観察された。これは ICP-RIE 処理中に形成された反応副生成物であると推測される。

次に、ICP-RIE プロセスで生じたプラズマダメージ部を除去するために、リセスを形成した基板に対して 80 °C の熱 H<sub>3</sub>PO<sub>4</sub> 処理を行った。エッチング深さと時間 ( $t_{etch}$ ) の関係を図 2(a) に示す。エッチング時間 40 分

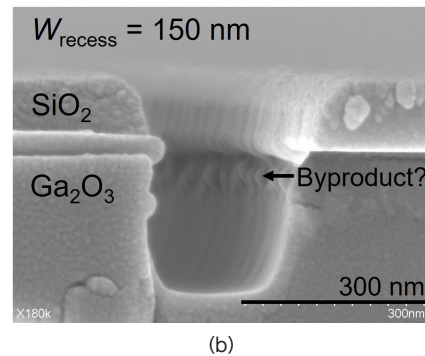
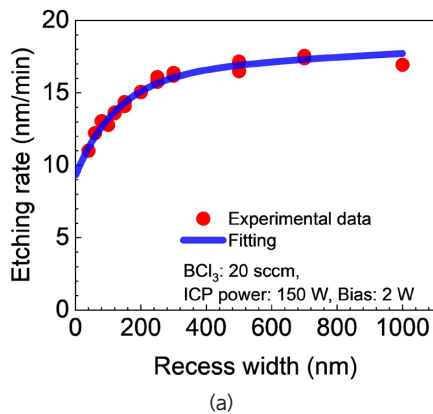


図 1 (a) Ga<sub>2</sub>O<sub>3</sub> (010) における ICP-RIE レートの  $W_{recess}$  依存性、(b) 形成されたりセスの断面 SEM 像

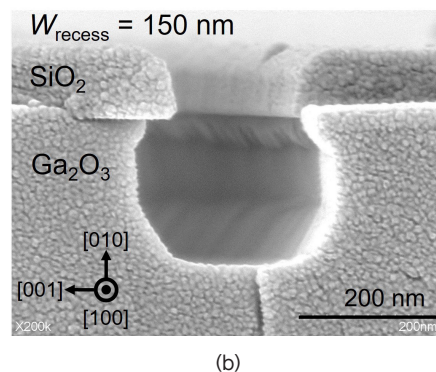
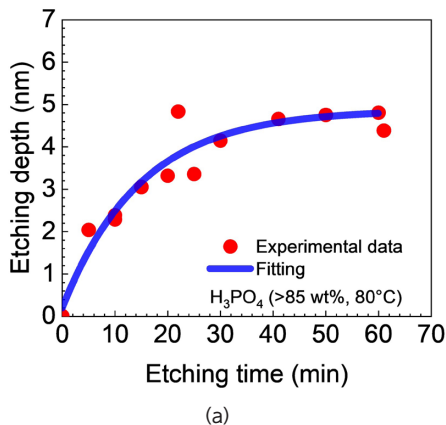


図 2 (a) H<sub>3</sub>PO<sub>4</sub> 処理におけるリセス内エッチング深さのエッチング時間依存性、(b) 80 °C、50 分間 H<sub>3</sub>PO<sub>4</sub> 処理したりセスの断面 SEM 像

間で深さ 5 nm まで漸近し、その後ほぼ飽和していることから、ダメージ部が効果的に除去されたことがわかる。図 2 (b) は、50 分間の  $\text{H}_3\text{PO}_4$  処理後のリセスの断面 SEM 像である。異方性エッチングによりファセットが形成され、ICP-RIE で形成された反応副生成物も十分に除去されていることが確認できる。

ICP-RIE と  $\text{H}_3\text{PO}_4$  処理で作製したリセス基板に、プラズマ原子層堆積法で厚さ 20 nm の  $\text{Al}_2\text{O}_3$  膜を形成した。その後、ゲート電極として Ti (20 nm) / Au (365 nm) を成膜した。

図 2 は、 $W_{\text{recess}} = 150 \text{ nm}$ , 250 nm の断面 SEM 写真である。ゲート電極はリセス内で側壁に接触すること無く直立し、 $\text{SiO}_2$  層上で T ゲートの頭部分に接続されている。ゲート電極側面とリセス側壁の間の距離は約 70 nm である。ゲート電極の両側に形成された空隙が、

寄生容量の低減だけでなく、MOSFET の耐圧向上に寄与することが期待できる。

## 2.2 $\beta\text{-Ga}_2\text{O}_3$ 界面準位密度 ( $D_{\text{it}}$ ) 評価

開発したプロセスによりリセスを有する  $\Phi 200 \mu\text{m}$  の Ti/Au 電極 /  $\text{Al}_2\text{O}_3$  (20 nm) /  $\text{Ga}_2\text{O}_3$  (010) 構造 MOS キャパシタを作製し、光支援容量 - 電圧 ( $C$ - $V$ ) 測定を行った [3]。図 4 (a) に示すように照射光の波長が短いほど低電圧側に  $C$ - $V$  カーブがシフトすることがわかる。このシフト量から見積もった  $D_{\text{it}}$  を図 4 (b) に示す。  $D_{\text{it}}$  は最大でも  $10^{11} \text{ cm}^{-2} \text{ eV}^{-1}$  程度と  $\text{Ga}_2\text{O}_3$  デバイスとしては非常に低い界面準位密度であった。この低い  $D_{\text{it}}$  は高い伝達コンダクタンス実現につながり、 $\beta\text{-Ga}_2\text{O}_3$  MOSFET の一層の高周波化を見込むことができる。

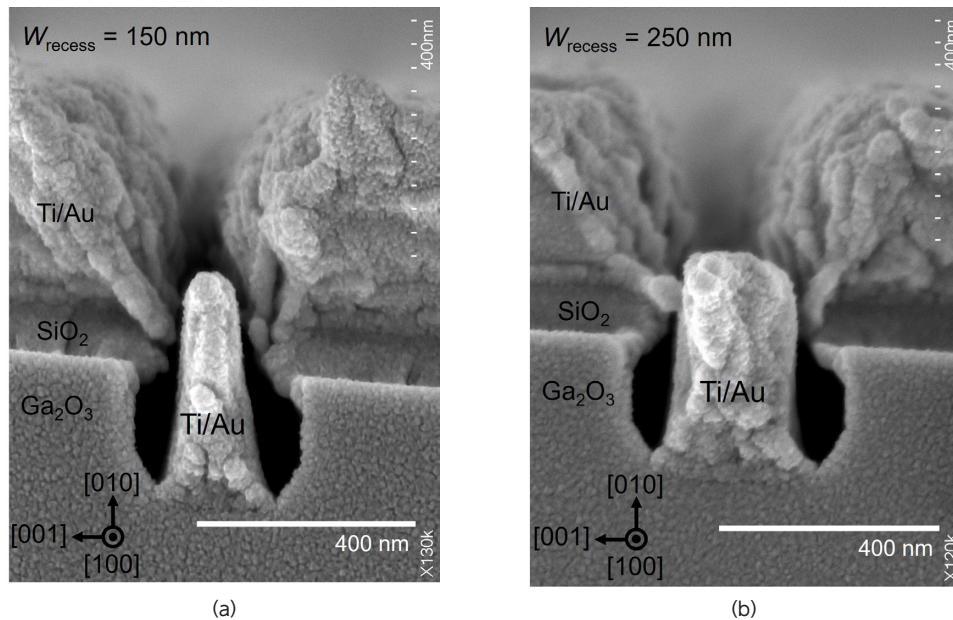


図 3 リセス内に形成された T ゲート電極の断面 SEM 像、(a)  $W_{\text{recess}} = 150 \text{ nm}$ , (b)  $W_{\text{recess}} = 250 \text{ nm}$

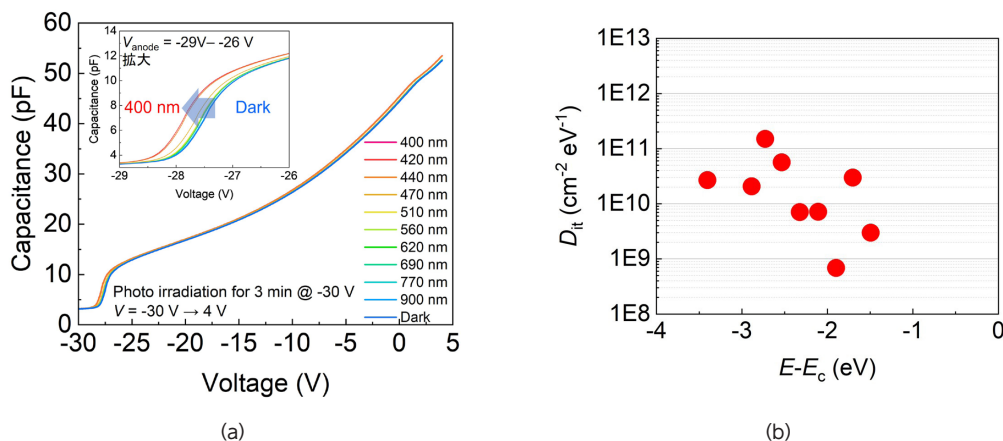


図 4 (a) リセスを有する  $\beta\text{-Ga}_2\text{O}_3$  MOS キャパシタの光支援  $C$ - $V$  特性、(b) 絶縁膜 /  $\beta\text{-Ga}_2\text{O}_3$  における  $D_{\text{it}}$  の伝導帯からのエネルギー依存性

## 3 まとめ

ICP-RIE と熱  $\text{H}_3\text{PO}_4$  処理を用いて、非常に低い  $R_{\text{access}}$  を有するセルフアラインリセスゲート  $\beta\text{-Ga}_2\text{O}_3$  高周波 MOSFET の実現に向けたエッチングプロセスを開発した。さらに、光支援  $C\text{-}V$  法による  $D_{\text{it}}$  評価を行い、リセス形成の際のプラズマダメージは十分に除去可能であり、デバイス動作に問題とならないことを示した。

## 謝辞

本研究開発は、総務省の「ICT 重点技術の研究開発プロジェクト (JPMI00316)」によって実施した成果を含みます。

## 【参考文献】

- 1 T. Kamimura, Y. Nakata, and M. Higashiwaki, "Delay-time analysis in radio-frequency  $\beta\text{-Ga}_2\text{O}_3$  field effect transistors," Appl. Phys. Lett. vol.117, pp.253501-1-253501-4, Dec. 2020.
- 2 上村崇史、東脇 正高、"セルフアラインリセスゲート  $\text{Ga}_2\text{O}_3$  MOSFET 作製に向けたエッチングプロセスの開発," 第 83 回応用物理学会秋季学術講演会、21 a-M206-12.
- 3 C. Mizue, Y. Hori, M. Miczek, and T. Hashizume, "Capacitance-Voltage Characteristics of  $\text{Al}_2\text{O}_3/\text{AlGaN}/\text{GaN}$  Structures and State Density Distribution at  $\text{Al}_2\text{O}_3/\text{AlGaN}$  Interface," Jpn. J. Appl. Phys. vol.50, pp.021001-1-021001-7, Feb. 2011.



東脇 正高 (ひがしわき まさたか)

未来 ICT 研究所  
 小金井フロンティア研究センター  
 グリーン ICT デバイス研究室  
 室長/  
 大阪公立大学大学院  
 工学研究科電子物理系専攻  
 電子物理工学分野  
 教授  
 博士 (工学)  
 化合物半導体、電子デバイス、薄膜結晶成長  
**【受賞歴】**  
 2023 年 IEEE Fellow  
 2022 年 第 54 回市村学術賞 貢献賞  
 2015 年 第 11 回日本学術振興会賞



上村 崇史 (かみむら たかふみ)

未来 ICT 研究所  
 小金井フロンティア研究センター  
 グリーン ICT デバイス研究室  
 研究マネージャー  
 博士 (工学)  
 電界効果トランジスタ、高周波デバイス  
**【受賞歴】**  
 2008 年 International Conference on Solid State Devices and Materials (SSDM) Young Researcher Award  
 2006 年 IEEE EDS Japan Chapter Student Award  
 2005 年 IEEE EDS Japan Chapter Student Award