

3-7 ナノゲートトランジスタ —世界最高速 InP-HEMT—

3-7 Nano-Gate Transistor –World’s Fastest InP-HEMT–

篠原啓介 松井敏明

SHINOHARA Keisuke and MATSUI Toshiaki

要旨

将来の100～160 Gbps級の超高速光通信システムの実現には、サブミリ波帯(300 GHz～3 THz)で安定して動作するトランジスタの開発が重要な課題となる。

我々はインジウム・リン(InP)半導体基板上に結晶成長したインジウム・ガリウム・ヒ素(InGaAs)とインジウム・アルミニウム・ヒ素(InAlAs)の多層薄膜構造からなり、世界最小25 nmのT型ゲート電極を有する高電子移動度トランジスタ(HEMT)を作製し、遮断周波数(f_T)が562 GHzの世界最高速の値を達成した。また、高周波特性に与えるデバイス構造の影響を調べ、それぞれの構造パラメータを最適化することによって、デバイス特性の更なる向上を実現した。

InP-based InGaAs/InAlAs high electron mobility transistors (HEMTs) which can operate in the sub-millimeter-wave frequency range (300 GHz – 3 THz) are key devices for future 100 – 160 Gbps ultrahigh-speed optical communications because of their high-frequency, low-noise performance. We succeeded in fabricating the world’s shortest 25-nm-gate InP-HEMTs which exhibited a record current gain cutoff frequency (f_T) of 562 GHz. Moreover, we investigated the effect of device structures on their high frequency performance, and it was greatly improved by optimizing these structural parameters.

[キーワード]

ナノゲート, インジウム・リン, 高電子移動度トランジスタ, 遮断周波数, サブミリ波帯
Nano-Gate, Indium Phosphide (InP), High Electron Mobility Transistor (HEMT), Cutoff Frequency (f_T), Sub-millimeter-wave frequency range

1 まえがき

ミリ波(30～300 GHz)～サブミリ波(300 GHz～3 THz)周波数帯は、光とマイクロ波の間に残されたあまり利用の進んでいない電波の周波数帯であり、将来の超高速無線・光通信システムの実現には欠くことのできない重要な技術領域である。この周波数帯を有効に利用するためには、周波数の高いサブミリ波帯で性能を発揮できる超高速のトランジスタを開発することが重要な課題となる。我々はこれまでに半導体結晶構造やデバイス構造を最適化することによって、これまでに他では報告されていない、500 GHzを超える遮断周波数を有するトランジスタを実現

した。

本文では、世界最高速性能を有するInP-HEMTの作製プロセス技術を説明し、その優れた高周波特性を決定付けるデバイス構造について議論する。

2 世界最高速 InP-HEMT の開発

2.1 サブ50 nmゲートInP-HEMTの作製

従来のガリウム・ヒ素(GaAs)系の高電子移動度トランジスタ(HEMT: High Electron Mobility Transistor)に比べて、インジウム・リン(InP)系のHEMTは電子が走行するチャンネル層となるインジウム・ガリウム・ヒ素(InGaAs)

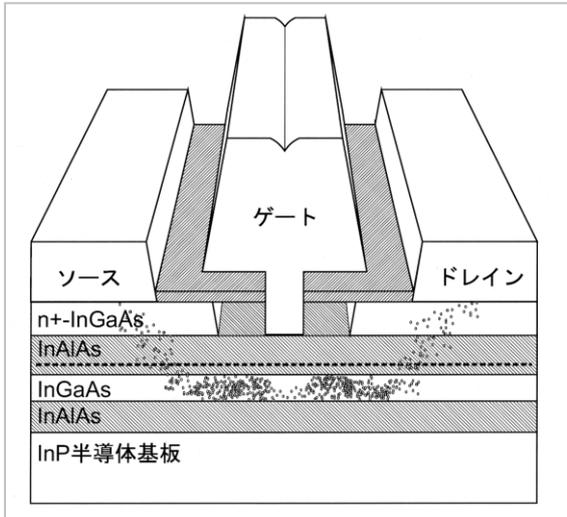


図1 InP-HEMTの構造

中での電子の有効質量が小さく、チャネル層とそれに隣接する障壁層(インジウム・アルミニウム・ヒ素、InAlAs)の伝導帯のバンドオフセットが約0.5 eVと比較的大きいため、「電子移動度が大きい」、「電子の飽和速度が大きい」、「電子濃度を高くできる」等の特徴があり、デバイス特性の更なる高速化が期待できる。

図1はInP-HEMTの断面構造を模式的に表したものである。HEMTの高速特性を向上させるためには、電子の走行距離、つまりゲート長を短縮することと走行速度を増加させることが指導原理となる。まず我々は電子線露光技術を駆使し、50 nm以下のゲート長を有するT型ゲート電極の作製を試みた。T型ゲートはゲート長を短縮しながらもその断面積を大きくとれるため、ゲート抵抗を低く抑えることができる。電子線露光には2種類の電子線レジストからなる3層レジスト(ZEP/PMGI/ZEP)を用いた。最上層と中間層を比較的小さい露光量で同時に露光し、高感度の現像液を用いて現像する。その後、最下層を比較的大きい露光量で露光し、低感度の現像液を用いて現像する。その結果、図2aのようなオーバーハング構造を形成することができる。最下層の微細パターンの寸法がT型ゲートのゲート長を決定するため、50 nm以下の微細なパターンを精度良く作製することが必要になる。我々は最下層レジストの露光・現像条件を最適化することにより、最小15 nmまでの微細なパターンを実現し、露光量を変化させるだけで正

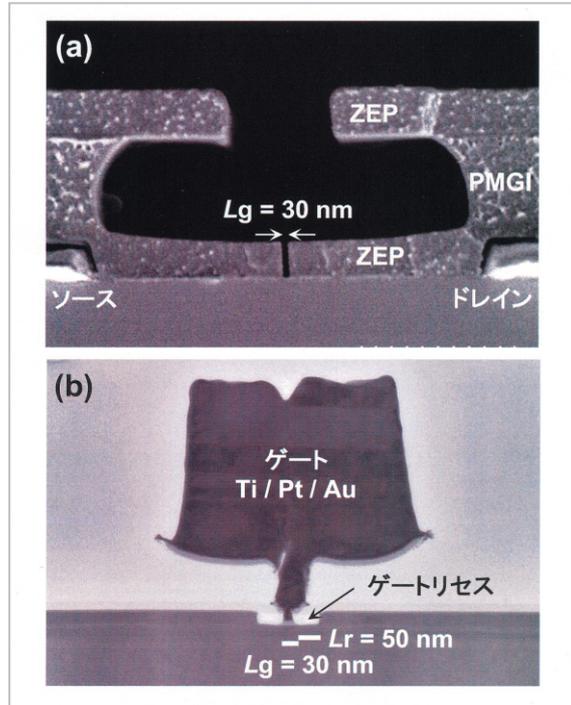


図2 (a)現像直後の3層レジストの断面SEM写真、(b)T型ゲートの断面TEM写真

確にその寸法をコントロールすることを可能とした(図3)。引き続き、ゲート直下部分の半導体表面キャップ層(InGaAs)をクエン酸系の水溶液を用いてエッチングすることによってゲートリセス構造を作製する。最後に、真空蒸着法によってゲート金属(Ti/Pt/Au)を蒸着し、リフトオフした。図2bは作製したゲート長30 nm、サイドリセス長50 nmのT型ゲートの断面TEM写真である。

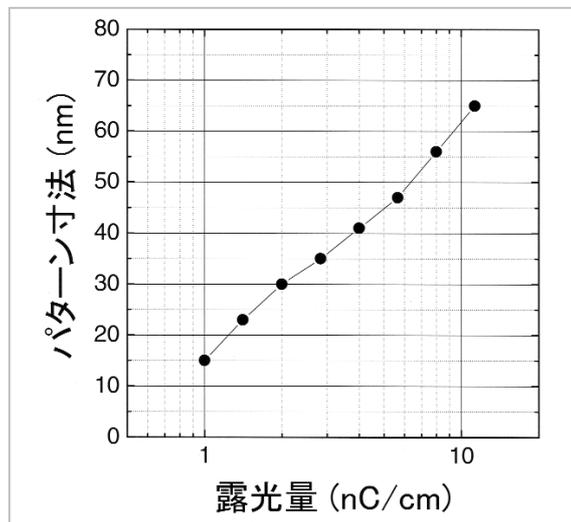


図3 パターン寸法の露光量依存性

2.2 InP-HEMTの高周波特性

電流利得の遮断周波数 (f_T) と電力利得の遮断周波数 (f_{max}) はトランジスタの高速特性の指標としてしばしば用いられる。特に f_T は $v/(2\pi L_g)$ (v : 電子速度、 L_g : ゲート長) で表され、トランジスタ中の電子の速度と走行距離を反映したものとなる。図4にゲート長25 nmのInP-HEMTの電流利得 ($|h_{21}|^2$) の周波数依存性を示す。それぞれの周波数における電流利得はベクトルネットワークアナライザ (HP8510C) を用いて測定されたSパラメータを変換して求めることができる。遮断周波数、つまり利得が0となる周波数は測定により得られた50 GHzまでのデータを基に、-20 dB/decadeの傾きで外挿することによって求められる。 $f_T = 562$ GHzはこれまでに報告されているすべてのトランジスタの中で最も大きな値である[1]。

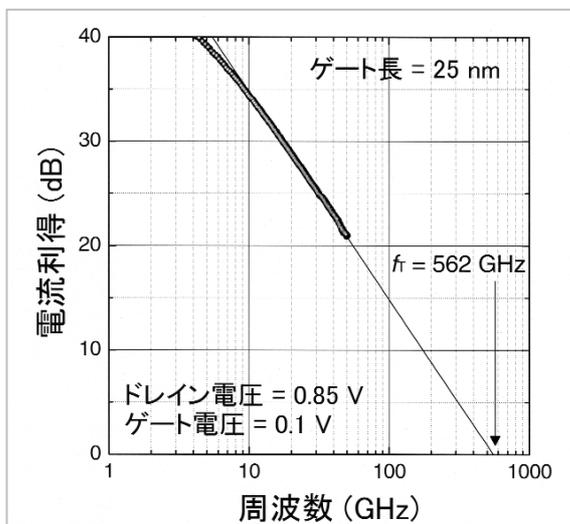


図4 ゲート長25 nmの歪みチャネルInP-HEMTの電流利得の周波数依存性

3 高周波特性に与えるデバイス構造の影響

3.1 ゲート長依存性

図5はチャネル層としてInP基板に格子整合した $In_{0.53}Ga_{0.47}As$ を用いたInP-HEMTの f_T と相互コンダクタンス (g_m) のゲート長依存性を示している(●)[2]。作製したInP-HEMTのゲート・チャネル間距離は13 nmで、ゲートのサイドリセス長は50 nmである。ゲート長の短縮に伴い f_T は

増加している。ゲート長30 nmで472 GHz、70 nmでも400 GHzに達している。 g_m はゲート長30 nmで1.25 S/mm、100 nmでは最大値1.5 S/mmに達している。これまでに他のグループによって報告されている格子整合系InP-HEMT (□)[3]と比べて、我々の作製したHEMTの f_T 及び g_m は約30~40%向上している。同じゲート・チャネル間距離でサイドリセス長が従来HEMTとほぼ等しい190 nmのサンプル (■)と比較すると、この f_T 及び g_m の向上がサイドリセス長の短縮に起因していることが分かる。

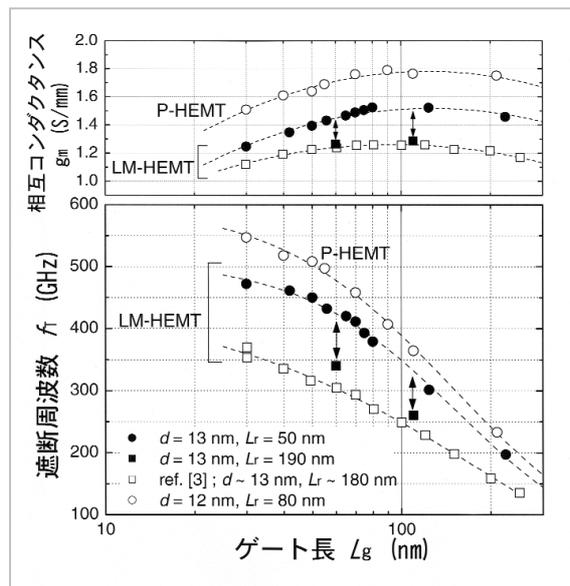


図5 InP-HEMTの遮断周波数と相互コンダクタンスのゲート長依存性

3.2 非対称リセス技術

上述のように、ゲートリセスのサイドリセス長はデバイスの高速特性に大きな影響を与えると考えられる。そこで我々はゲート電極左右のサイドリセス長を独立にコントロールすることが可能なプロセス技術を開発した[4]。この方法は従来型の3層レジストをそのまま用いた簡便で高精度なセルフアラインプロセスである。図6にそのプロセス手順を示す。3層レジストの最上層と中間層を従来と同じ方法で露光・現像する(a)。次にゲートパターンとその隣に微細なスリット状のパターンを露光・現像する(b)。ゲートパターンとスリットの間の距離を l とし、スリットのサイズを $a \times b$ 、スリットのピッチを c とする。引き続き、クエン酸系エッチャントでInGaAs層

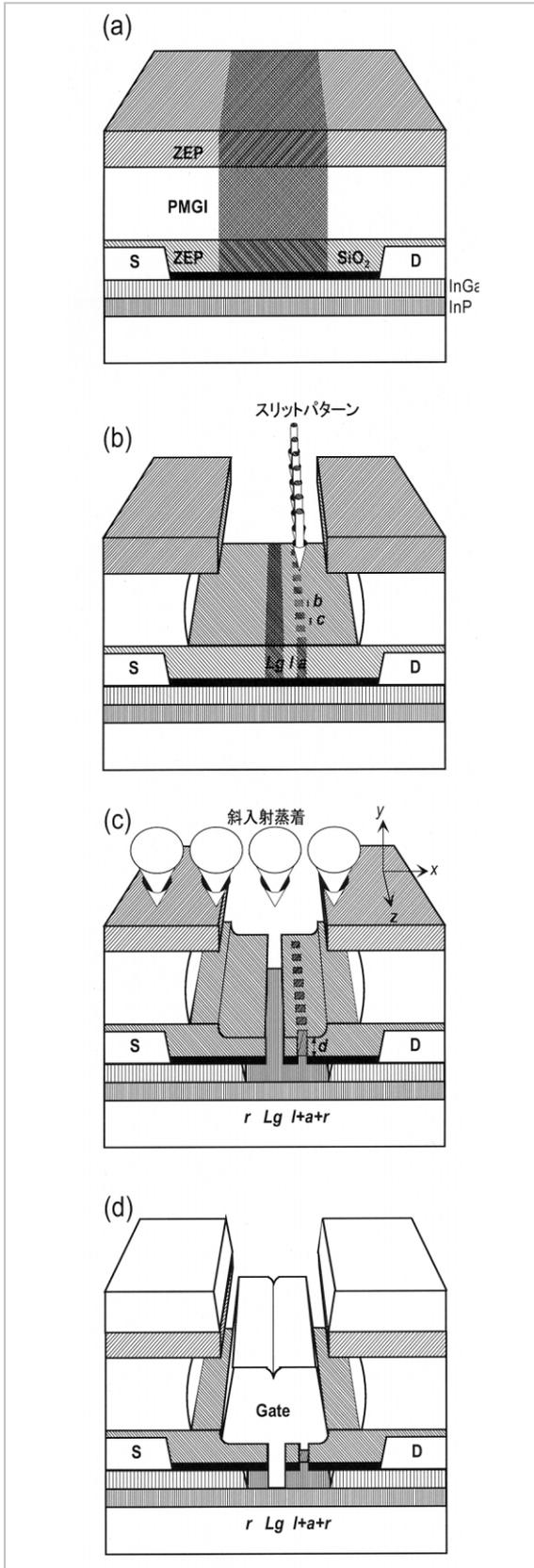


図6 非対称リセス作製プロセス

をエッチングすることでゲートリセス構造を形成する。この時、エッチングはゲートパターン

からだけではなく、スリットパターンからも進行するため、ゲートパターンに対して左右非対称なりセス形状となる(c)。InGaAs層の下にInPエッチングストッパー層を設けることによって、深さ方向のエッチングをストップすることができる。サイドエッチング量を r とすると、ソース、ドレイン側のサイドリセス長はそれぞれ $r, l + a + r$ で与えられる。つまり、これらのパラメータを適当に選ぶことによって任意の形状の非対称リセス構造を実現することが可能になる。また、スリットのピッチ c を r 程度まで小さくすることによって、ドレイン側のエッチングエッジの直線性が良くなる。最後に、ゲート金属を手前から奥の方向に斜めに傾いた方向から蒸着することによって、スリット直下の半導体表面への蒸着を防ぎつつ、ゲートパターン直下だけに蒸着することができる(d)。図7はリセスエッチング直後の3層レジストと完成した非対称リセスT型ゲートの断面写真である。

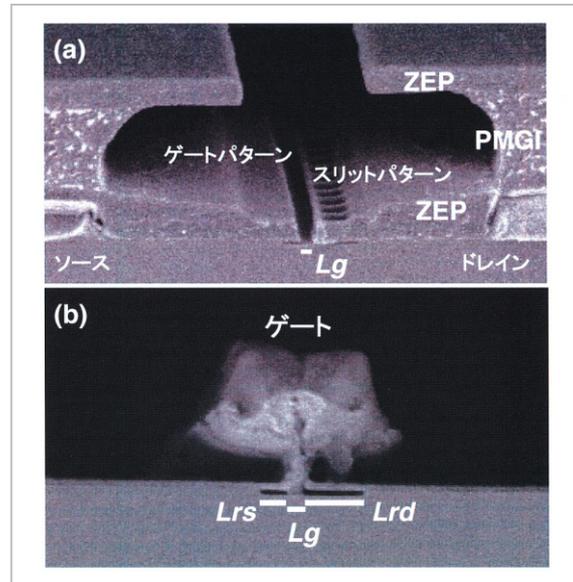


図7 (a)リセスエッチング直後の3層レジストの断面SEM写真、(b)非対称リセスT型ゲートの断面SEM写真

3.3 f_T のリセス長依存性

InP-HEMTの高速特性のサイドリセス長依存性を調べるために、上記の方法で作製したゲート長60 nmの3種類の非対称リセスHEMTについて、その高周波特性を評価した[5]。タイプIはドレイン側のリセス長を50 nmに固定し、ソー

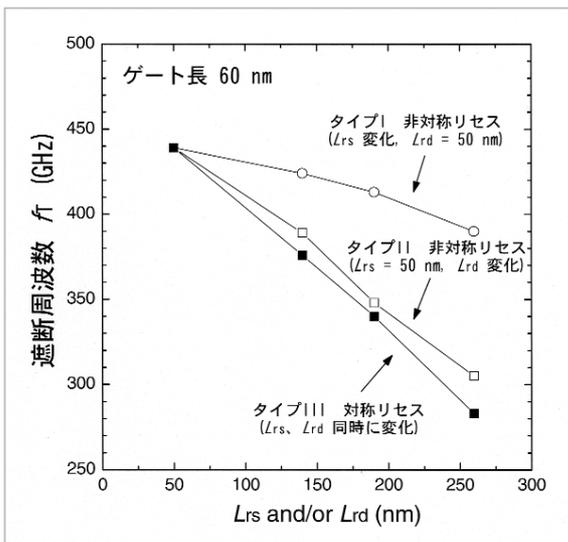


図8 遮断周波数のサイドリセス長依存性

ス側のリセス長を50～260 nmまで変化し、タイプIIは反対にソース側のリセス長を50 nmに固定し、ドレイン側のリセス長を50～260 nmまで変化させたものである。タイプIIIはソース側、ドレイン側のリセス長を同時に50～260 nmまで変化させた。図8はそれぞれのサンプルについての f_T のリセス長依存性である。タイプIの場合、ソース側のリセス長増加に伴い緩やかに f_T が減少する。対照的に、タイプIIではドレイン側のリセス長増加に伴い f_T は急激に減少する。タイプIIIはタイプIIとほぼ同じ傾向を示すが、ソース側のリセス長が長い分、わずかに小さい値を示す。これらの結果は、我々の作製したInP-HEMTの優れた高速特性がドレイン側のリセス長を短縮したことに大きく起因していることを示している。図9はゲート長60 nmのInP-HEMTについて、ゲート・ソース間距離を50 nmに固定し、ゲート・ドレイン間距離を50 nmと260 nmとした二つの構造に関して行ったモンテカルロシミュレーションの計算結果である。ドレイン電圧0.8 V、ゲート電圧-0.4 V印加した時のチャンネル内電子の速度分布を表している。ゲート直下では明瞭な速度オーバーシュート効果が見られ、そのピーク速度がゲート・ドレイン間距離を短くすることによって増大していることが分かる。これはゲート・ドレイン間距離を短くすることによって、ゲート直下の横方向電界が大きくなり、その結果、電子がより急速に加速されたためであると考えられる。

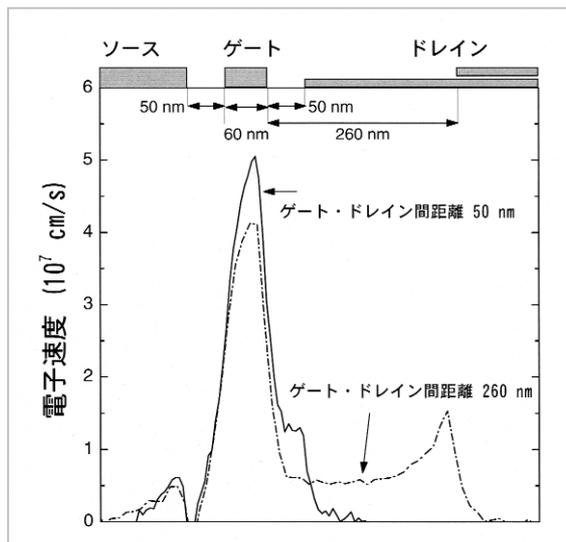


図9 ゲート長60 nmのInP-HEMTの電子速度分布(モンテカルロシミュレーションによる計算結果)

3.4 非対称リセスによる高 f_{max} 化

一方、 f_{max} の向上にはソース側のリセス長を短くし、ドレイン側のリセス長を長くした非対称リセス構造が有効である[4]。 f_{max} は等価回路パラメータを用いて次式で表される。

$$f_{max} = f_T / [4g_d(R_s + R_i + R_g) + 2(C_{gd}/C_{gs})((C_{gd}/C_{gs}) + g_m(R_s + R_i))]^{1/2} \quad (1)$$

つまり、より高い f_{max} を実現するためには f_T 、 g_m を大きくすることと同時に、ソース抵抗 R_s 、ドレインコンダクタンス g_d 、ゲート・ドレイン間容量 C_{gd} を小さくすることが必要になる。図10はゲート長60 nm、ソース側及びドレイン側のリセス長がそれぞれ50 nm、50 nmのサンプル(a)

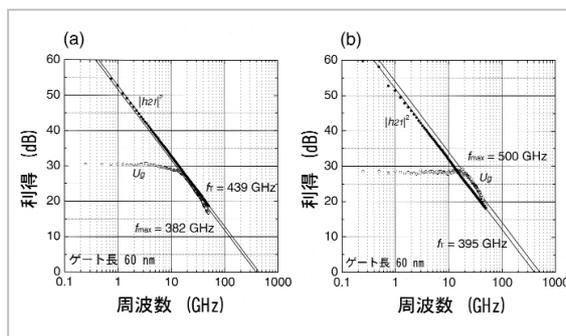


図10 (a)対称リセスHEMT($L_{rs} = L_{rd} = 50$ nm)の高周波特性、(b)非対称リセスHEMT($L_{rs} = 50$ nm, $L_{rd} = 140$ nm)の高周波特性

と50nm、140nmのサンプル(b)の電流利得($|h_{21}|^2$)と最大単方向電力利得(U_g)の周波数依存性である。 f_T の値はそれぞれ439 GHz、395 GHzと、ドレイン側のリセス長を長くしたことによって f_T は低下している。一方、 f_{max} の値はそれぞれ382 GHz、500 GHzと逆に非対称リセスサンプルで大きく向上している。これは非対称リセスサンプルでは R_s を小さく保ちながら、 g_d と C_{gd} を対称リセスサンプルに比べて小さくできるためである。

3.5 寄生抵抗低減の効果

f_T が500 GHzを超えるような超高速のHEMTにおいては、ソース・ドレイン電極のコンタクト抵抗(R_c)やゲートのソース・ドレイン側領域のシート抵抗(R_{sh})による寄生抵抗がもはや無視できなくなる。従来の構造における R_s は $0.21 \Omega \text{ mm}$ で、真性の g_m (g_{mi})を 2S/mm とした場合、 $1/g_{mi}$ ($=0.5 \Omega \text{ mm}$)の40%にもなる。我々は多層薄膜構造からなるキャップ層を新規に導入し、 R_s の低減を図った[6]。図11に作製したHEMTの構造を示す。Siを $2 \times 10^{19} \text{ cm}^{-3}$ にまで高濃度ドーパした厚さ72 nmのInGaAs / InP / $\text{In}_{0.7}\text{Ga}_{0.3}\text{As}$ 多層薄膜を用いることによって、 R_{sh} を $22.8 \Omega/\text{sq.}$ まで低減し(従来構造では約 80 W/sq.)、最上層に歪み $\text{In}_{0.7}\text{Ga}_{0.3}\text{As}$ 層を用いることによって R_c を $0.007 \Omega \text{ mm}$ にまで低減した(従来構造では $0.05 \Omega \text{ mm}$)。その結果、 R_s は $0.15 \Omega \text{ mm}$ と約30%小

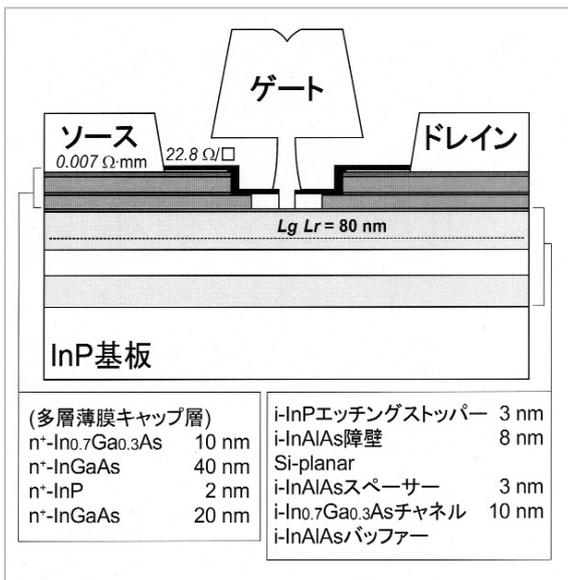


図11 多層薄膜キャップ構造を有する歪みチャンネルInP-HEMTの構造

さくすることができた。図12は作製したゲート長30 nmの歪み $\text{In}_{0.7}\text{Ga}_{0.3}\text{As}$ チャンネルHEMTの高周波特性である。 $f_T = 547 \text{ GHz}$ 、 $f_{max} = 400 \text{ GHz}$ と、 f_T 、 f_{max} が共に400 GHzを超える世界最高レベルのHEMTを実現した。図5中の○印は本サンプルの f_T と g_m のゲート長依存性を示している。

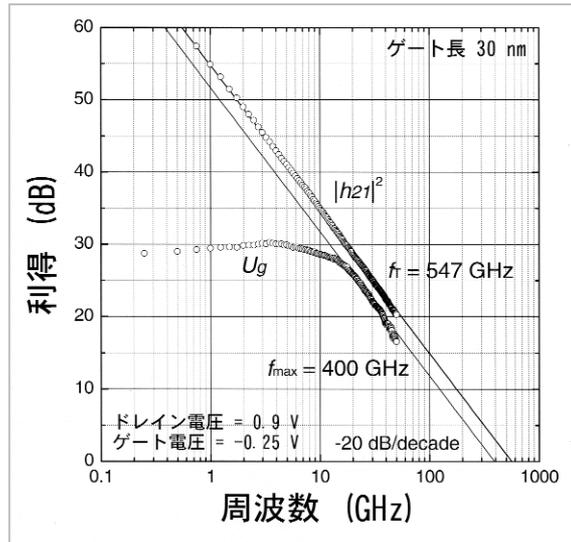


図12 多層薄膜キャップ構造を有するゲート長30 nmの歪みチャンネルInP-HEMTの高周波特性

3.6 チャンネルの細線化(一次元チャンネルInP-HEMT)

ゲート長が100 nmよりも小さくなると、ゲート電圧によるキャリアの制御が有効に働きにくくなる現象、いわゆる「短チャンネル効果」が顕著になってくる。図5において、ゲート長が100 nm以下になると g_m が低下している様子が分かる。この効果を抑制する方法として、チャンネルを細線化し、ゲート電圧によるチャンネル内キャリアの制御の方向を2方向とすることを提案した[7]。図13は実際に作製した細線チャンネルInP-HEMTの模式図と実際に作製したデバイスの細線部分の断面TEM写真である。障壁層の厚さをゲートの奥行き方向に対して波状にすることによって、電子は障壁層の厚い部分の下のチャンネル層内のみ存在する。この波状構造は電子線露光技術とウェットエッチング技術を駆使することにより実現した。細線チャンネル内の電子はゲート電圧によって縦方向のみならず横方向か

らも制御されるため、短ゲートにおける g_m の劣化を抑制できると考えられる。図14は作製したゲート長100 nmのInP-HEMTの細線一本当たりのドレイン電流値を細線幅でプロットしたグラフである。ゲート電圧によって実効チャンネル幅が変化し、横方向からのキャリア制御が効果的に働いていることを示している。さらに、この構造はチャンネルの一次元量子化による電子輸送特性の向上や低ノイズ化も期待できる。

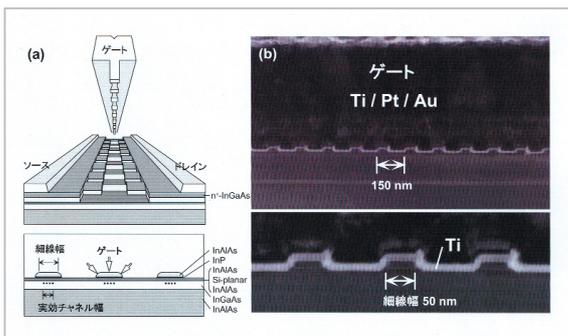


図13 (a)細線チャンネルInP-HEMTの構造、
(b)細線部分の断面TEM写真

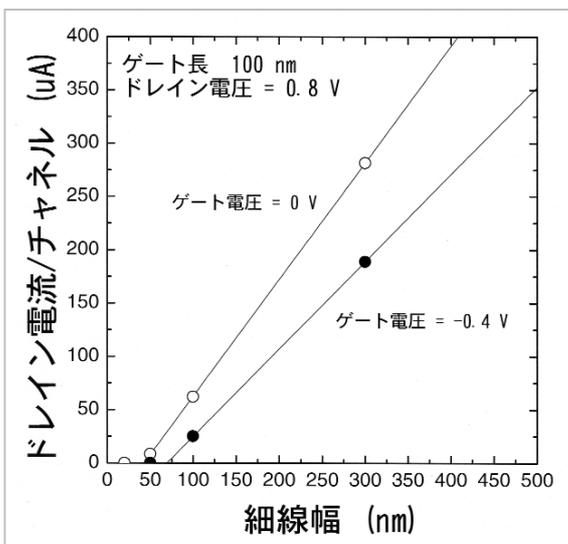


図14 細線一本当たりのドレイン電流値の細線幅依存性

4 むすび

今後は、上述の優れた特性を有するInP-HEMTを用いて、100～150 GHz帯の新しいミリ波通信装置技術の研究開発を行い、超広帯域・超低雑音増幅器の開発など、各種の実用的なミリ波装置技術の研究開発を進める予定である。

本研究を進めるに当たり、貴重なご意見を頂きました富士通研究所三村高志フェロー、彦坂康己氏、宮下工氏、河西和美氏、山下良美氏、遠藤聡氏、池田圭司氏、大阪大学冷水佐壽教授、北田貴弘氏に感謝いたします。

参考文献

- 1 Y. Yamashita *et al.*, IEEE Electron Device Lett., Vol. 23, No. 10, pp. 573 – 575, 2002.
- 2 K. Shinohara *et al.*, Japanese Journal of Applied Physics, Vol. 41, No. 4B, pp. L437 – L439, 2002.
- 3 T. Suemitsu *et al.*, Proceedings of IEEE International Electron Device Meeting, pp. 223 – 226, 1998.
- 4 K. Shinohara *et al.*, Journal of Vacuum Science & Technology B, Vol. 20, pp. 2096 – 2100, 2002.
- 5 K. Shinohara *et al.*, Proceedings of 14th Indium Phosphide & Related Materials Conference, pp. 451 – 454,

2002.

6 K. Shinohara *et al.*, Proceedings of IEEE Device Research Conference, pp. 145 – 146, 2003.

7 K. Shinohara *et al.*, Proceedings of 15th Indium Phosphide & Related Materials Conference, pp. 319 – 322, 2003.



しの はら けい すけ
篠原啓介

無線通信部門ミリ波デバイスグループ
研究員 博士（工学）
化合物半導体デバイス

まつ い とし あき
松井敏明

無線通信部門ミリ波デバイスグループ
リーダー
高周波精密計測、ミリ波要素技術