

4-6 大規模単一磁束量子論理回路設計基盤技術

4-6 Design Infrastructure of Large-scale Single-flux-quantum Logic Circuit

寺井 弘高 王 鎮

TERAI Hirotaka and WANG Zhen

要旨

単一磁束量子 (SFQ) 論理回路は、電子の波動性を制御して動作する量子効果デバイスである。磁束量子の動きを制御するのに要するエネルギーは極めて小さく、結果として超高速かつ低消費電力での動作が可能となっている。我々はこれまで基幹系ネットワーク向けのハイエンドルータ等への応用を念頭に置き、大規模 SFQ 回路を実現するための設計基盤の構築に取り組んできた。これまでに5,000個を超えるジョセフソン接合を含むネットワークスイッチ回路の30 GHz以上での動作実証に成功し、我々の開発した設計手法が大規模 SFQ 回路の設計に有効であることが示された。

Single-flux-quantum (SFQ) circuit is a quantum effect device operating by controlling the wave nature of electron. The energy required for the control of SFQ motion is quite low, which enables high-speed logic operation with low power consumption. We have constructed design environment of the large-scale SFQ circuit to apply high-end router in the backbone network. We have so far succeeded to demonstrate the perfect operation of the network switch circuit consisting of more than 5000 Josephson junctions at 30 GHz, showing the availability of our design methodology of large-scale SFQ circuits.

[キーワード]

単一磁束量子, 集積回路, ジョセフソン接合, ネットワークデバイス, セルベース設計

Single-flux-quantum, Integrated circuit, Josephson junction, Network device, Cell-base design

1 まえがき

現在の高度情報社会を支えているのは紛れもなく半導体集積回路技術である。その動作クロック周波数は既に3 GHzを超え、集積度も1チップ当たり1億トランジスタに達している。このような半導体集積回路技術の進化を支えてきたのは、スケーリング則と呼ばれるCMOS(相補的金属-酸化物-半導体)回路における法則である。スケーリング則とは、素子の寸法を $1/k$ に縮小すると、集積度が k^2 、消費電力が $1/k^2$ 、遅延が $1/k$ に改善するという法則である[1]。しかしながら、最近このスケーリング則にも限界が見え始めている[2]。それは単に小さくするという技術的な限界ではなく、微細化に伴う量子効果の顕在化など動作の本質にかかわる限界である。単一磁

束量子 (SFQ) 論理回路は、このような半導体集積回路の限界を打破する全く新しい動作原理に基づく量子効果デバイスである。

2 SFQ回路の動作原理

SFQ回路の動作原理概略図を図1に示す。SFQ回路は超伝導体で形成したループに入る磁束が量子化される性質を利用して動作する。ループへの磁束量子の出し入れはジョセフソン接合と呼ばれる素子をループに作り込むことで実現される。ジョセフソン接合は超伝導電子対のトンネル現象を利用した素子で、ここでは高速でオン・オフするスイッチと考えればよい。図1において、ループに磁束量子がない状態で左側のジョセフソン接合がオフ(定常状態ではオン)する

と、磁束量子が一つループに入り“1”状態になる。このループに保持された磁束量子は右側のジョセフソン接合がオフすると磁束量子を出力して、磁束量子のない“0”状態に戻る。このように磁束量子を情報担体とし、超伝導ループを組み合わせることであらゆるデジタル演算を行うことができるのである[3]。

なぜ超伝導ループ内で磁束が量子化されるのか。それは電子の波動性と密接に関係している。超伝導体内部では電子は波として振る舞うため、ループを1周すると電子の位相は必ず 2π の整数倍になっている。磁束量子が一つループに保持された状態は、このループ1周での電子の位相が 2π の状態に対応している。つまり、磁束量子と電子の位相は双対の関係にあり、SFQ回路は電子の位相を制御して動作する量子効果デバイスということが出来る。CMOSに代表される半導体集積回路とSFQ回路が本質的に異なる点は、半導体集積回路が電子の粒子的振る舞いを制御して動作するのに対して、SFQ回路では電子の波としての性質を積極的に利用している点なのである。

3 電子デバイスの性能比較

3.1 電力・遅延積 (エネルギー)

量子効果を利用しているからといって必ずしも電子デバイスとして性能が優れているという

保証はない。そもそも電子デバイスの優劣は何により決まるのか。高速(遅延が小さい)かつ低消費電力で動作するほど優れた電子デバイスといえるが、それはつまり電力と遅延の積であるエネルギーが小さいということにはかならない。消費電力を度外視すれば、高速で動作する半導体素子は幾らでも存在する。例えば、バイポーラ系トランジスタやHEMT (High Electron Mobility Transistor) が高速で動作するのは今に始まった話ではない。にもかかわらず、圧倒的にCMOSがデジタル演算素子として普及しているのはその低消費電力性のためである。つまり、電力・遅延積(エネルギー)でCMOSを下回らなければデジタル演算素子として生き残る道はないのである。

図2にデバイスの遅延を縦軸、トランジスタ1個(ジョセフソン接合1個)当たりの消費電力を横軸とした電力・遅延マップを示す。SFQ回路を含めた代表的な低消費電力系デバイスのおおよその位置をプロットしている。図2において左上から右下にかけてのラインがエネルギー(電力・遅延積)が一定のラインである。エネルギーはこれまでの議論では小さいほどよいということだったが、安定した(エラーのない)論理演算を行うためには熱雑音($k_B T$: k_B はボルツマン定数、 T は動作温度)より十分に大きい必要がある。図2において、CMOS回路は室温における熱雑音限界ライン(赤線)より現時点でかなり右側にいる。

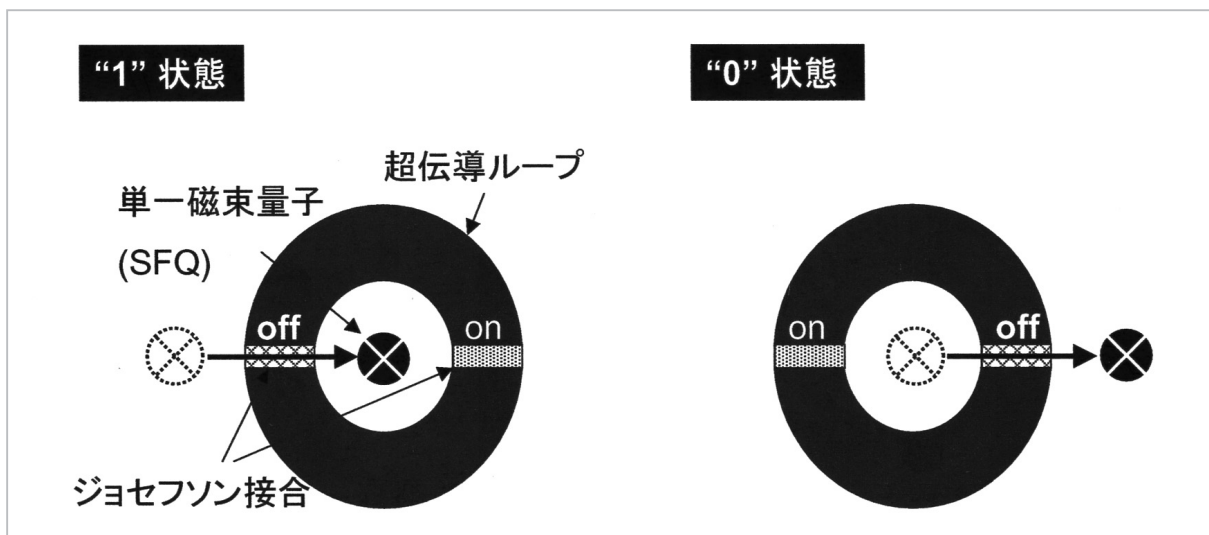


図1 SFQ回路の動作原理

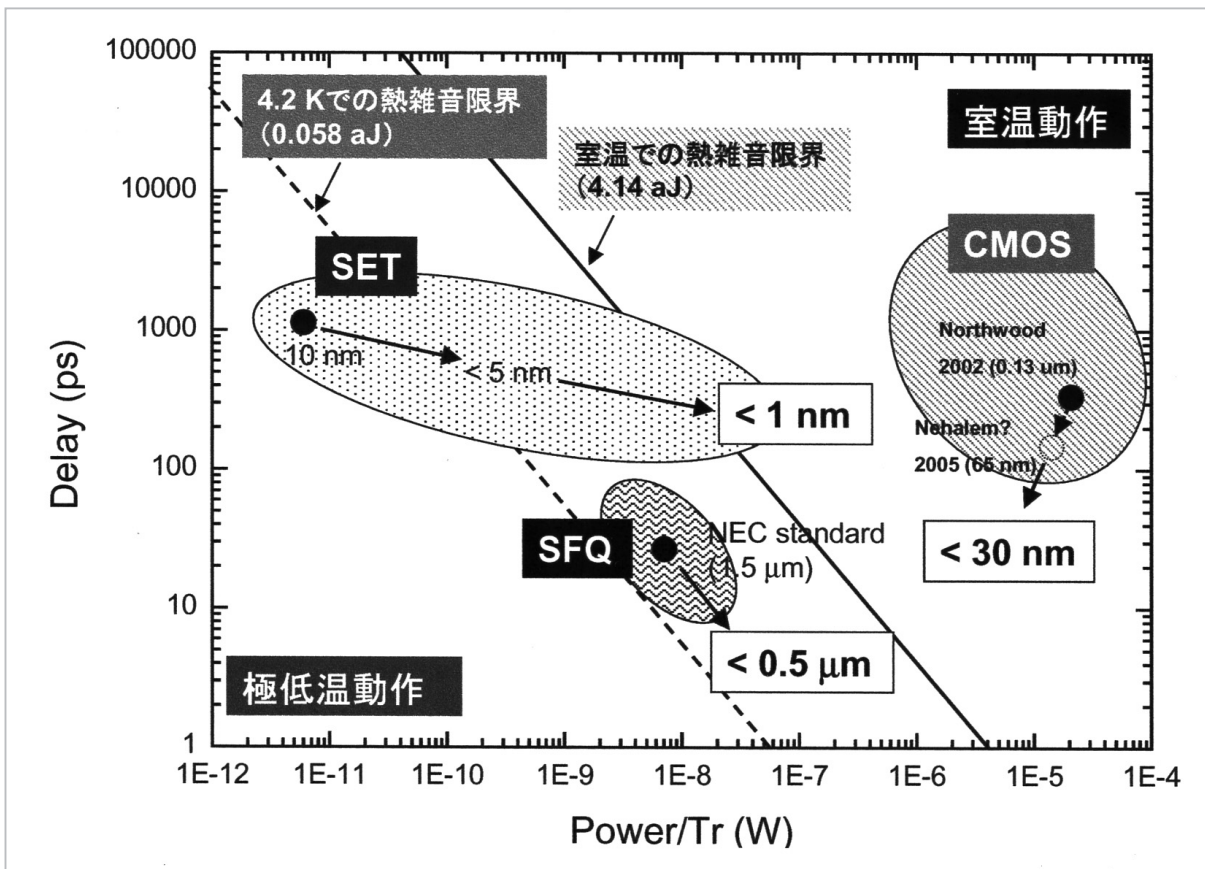


図2 電力・遅延マップ

一方、電子1個を使って動作する単電子トランジスタ (SET) [4] [5] は、現時点では4.2 Kでの熱雑音限界 (青線) よりも左側に位置し極低温環境でしか動作しない。SFQ回路は電力・遅延マップ上でこれら二つのデバイスの間付近に位置している。問題は今後どうなるかである。CMOSはスケール則に従って遅延もゲート当たりの消費電力も減少を続けてきたが、スケール則に破綻が見え始めた現在、どこまで熱雑音限界に接近できるのか予断を許さない状況である。一方、SETは全く逆で熱雑音限界の右側を目指している。サブナノメートルまで微細化すれば室温でも動作可能と考えられているが、克服すべき技術的課題は多い[6]。このように見ると、SFQ回路の電力・遅延マップ上での位置は極めて魅力的であることが分かる。動作温度こそ4.2 Kではあるが、既に熱雑音限界付近に位置し、CMOSやSETが目指す位置にいるといえる。

3.2 動作速度

動作速度だけでデジタル演算素子としての

性能は評価できないが、一つの性能指標にはなる。CMOS回路の動作速度は電荷の充放電時間で決まる。図3a)に示すように、ゲート間の水路に水をためる様子を想像すると分かりやすい。この時、充放電時間はデバイスの容量と抵抗の積 (CR時定数) で与えられ、130ナノメートル・テクノロジーノードで数百ピコ秒である。チャンネル長を短くする、あるいはチャンネル材料の移動度を上げるなどしてCR時定数を更に小さくすることは可能である。しかし、トンネル電流 (リーク電流) の増大など量子効果の顕在化によりスケール則そのものが成り立たなくなりつつある現在、消費電力 (特にオフ時の電力) の増加を抑えつつどこまでCR時定数を低減できるのか今後の動向が注目される[7]。

一方、SETは電子のトンネル現象を利用した量子効果デバイスであるが、電荷の充放電時間で遅延が決まるという点ではCMOSと同じである。CMOSとの違いは電子1個 (水に例えると一滴の水) の充放電で動作する点である。ただし、SETは素子が高インピーダンスであるためCR時

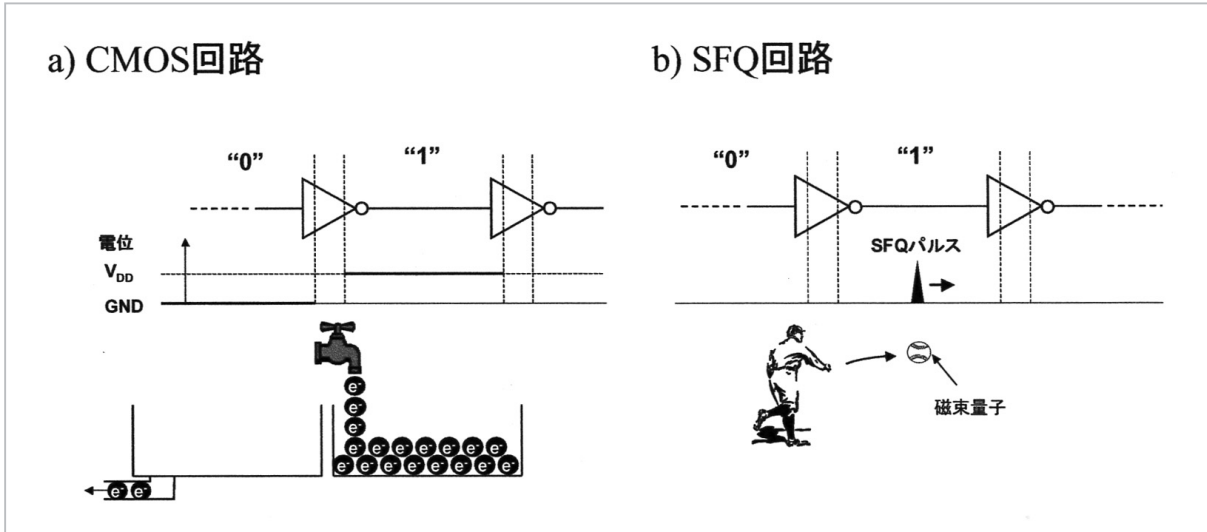


図3 CMOS回路とSFQ回路の動作比較

定数は一般に大きい。つまり、図3a)の絵に例えるなら、一滴の水がなかなか蛇口からこぼれ落ちないのがSETなのである。

SFQ回路の動作速度はCMOSやSETと違い電荷の充放電に依存しない。図3b)に示すように、SFQ回路では磁束量子がゲート間をボールのように移動する。磁束量子の移動には常にその時間積分が磁束量子となる電圧信号(時間幅数ピコ秒の電圧パルス)が伴う。このようなバリスティックな信号伝送は光デバイスに似た特徴であり、実際磁束量子はほぼ光と同じスピードでチップ内を移動する。つまり、SFQ回路は光デバイスの高速性と半導体デバイスの機能性を同時に兼ね備えた電子デバイスということができる。

SFQ回路の動作速度をより正確に議論するにはゲート間の遅延だけでなく、ゲート内の遅延も考慮に入れる必要がある。ゲート内の遅延時間はジョセフソン接合のスイッチング時間に依存し、接合の面積が小さいほど原理的に高速化する。現在、NEC標準プロセス[8]と呼ばれる最小寸法2.0 μm 程度の加工技術水準で、ジョセフソン接合のスイッチング時間は3~4 ps程度である。論理ゲート内で入力から出力までにスイッチするジョセフソン接合数は3~4個なので、遅延時間としては9~16 ps程度となる。これにゲート間の遅延を加えた遅延で動作速度が決まる。現時点では、50 GHz程度(20 psの遅延時間に相当)の動作速度が限界であるが、ジョセフソンの面積をサブミクロン領域まで微細化すれば100

GHzの動作速度は十分に達成可能である。

4 SFQ回路の応用と課題

SFQ回路の応用を考えると、動作温度が極低温(4.2 K)であることを考慮する必要がある。つまり、常に冷凍機が付属するため、汎用性のある応用には向かない。これまでに提案、研究が行われている例を挙げる。

- (1) ハイエンド機器(ルータ、サーバ、コンピューティング等)
- (2) AD(アナログ/デジタル)コンバータ
- (3) 量子ビット制御回路
- (4) 各種超伝導センサの信号処理回路

(1)については、10 Tbpsを超えるような基幹系ネットワークのルータでは、年間の消費電力は数億円に達すると予想されており、SFQ回路技術を導入すれば、同じ性能を冷却込みで1/100以下の消費電力で実現できる可能性がある。日本ではルータ、サーバ等のネットワークデバイス[9][10]、米国ではハイエンドコンピューティングを目指した研究が行われている[11][12]。(2)についても、世界的に活発に研究が行われており、主にソフトウェア無線ベース基地用の高性能なADコンバータを目指している[13][14]。(3)については、磁束量子を用いて量子ビットを実現できることが実証されており、同じ磁束量子を使うSFQ回路でその制御を行おうという試みであ

る。(4)については、センサ部分で冷凍機が使われるという境界条件があるため、SFQ回路にとって実用化という観点で最も現実性のある応用といえる。

目指す応用でかなりの差はあるものの、いずれの応用を考えても回路規模は現時点の技術水準で $5 \times 5 \text{ mm}^2$ のチップに集積化が可能なジョセフソン接合数2万個程度かそれ以上であり、そのように大規模なSFQ回路をいかにして設計するかは大きな技術的課題である。また、アナログデバイスとして10 GHz以上の周波数帯で動作する半導体デバイスは既に存在するが、数10 GHzもしくはそれ以上のクロック周波数で動作する大規模なデジタル回路をいかにして設計するかは極めて挑戦的な課題である。

5 セルベース法による大規模SFQ回路設計

大規模なSFQ回路を効率よく設計するためにセルベース法を導入した。セルベース法とは、論理ゲートごとにその動作、遅延情報、マスクレイアウトなどをセルライブラリに登録し、そ

のライブラリを使用して回路設計を行う手法である。半導体回路では一般的な手法だが、SFQ回路は動作原理が異なるため、半導体の手法をそのまま流用することはできない。図4に我々が開発したSFQセルライブラリの構造と設計フローを示す。SFQセルライブラリの開発は、情報通信研究機構、NEC基礎研究所、名古屋大学、横浜国立大学と共同で行われ、CONNECT (Cooperation of Nagoya Univ., NEC, CRL and Yokohama National Univ. Team) セルライブラリと命名した[15]。

設計はCADENCE社のCAD (Computer Aided Design) ツール環境で行われ、まずスキーマティックエディタ上でセルの種類と大きさを識別するためのSymbolというViewを並べて回路を構成する。各々のセルは、Symbolのほかにも様々なViewを持っていて、例えばSchematicというViewには主にジョセフソン接合とインダクタンスから構成される最もプリミティブな等価回路が記述されている。スキーマティックエディタ上でSymbolを並べるだけで、ジョセフソン接合を含むプリミティブな回路のネットリストを自動的に生成することも可能である。しかしながら、

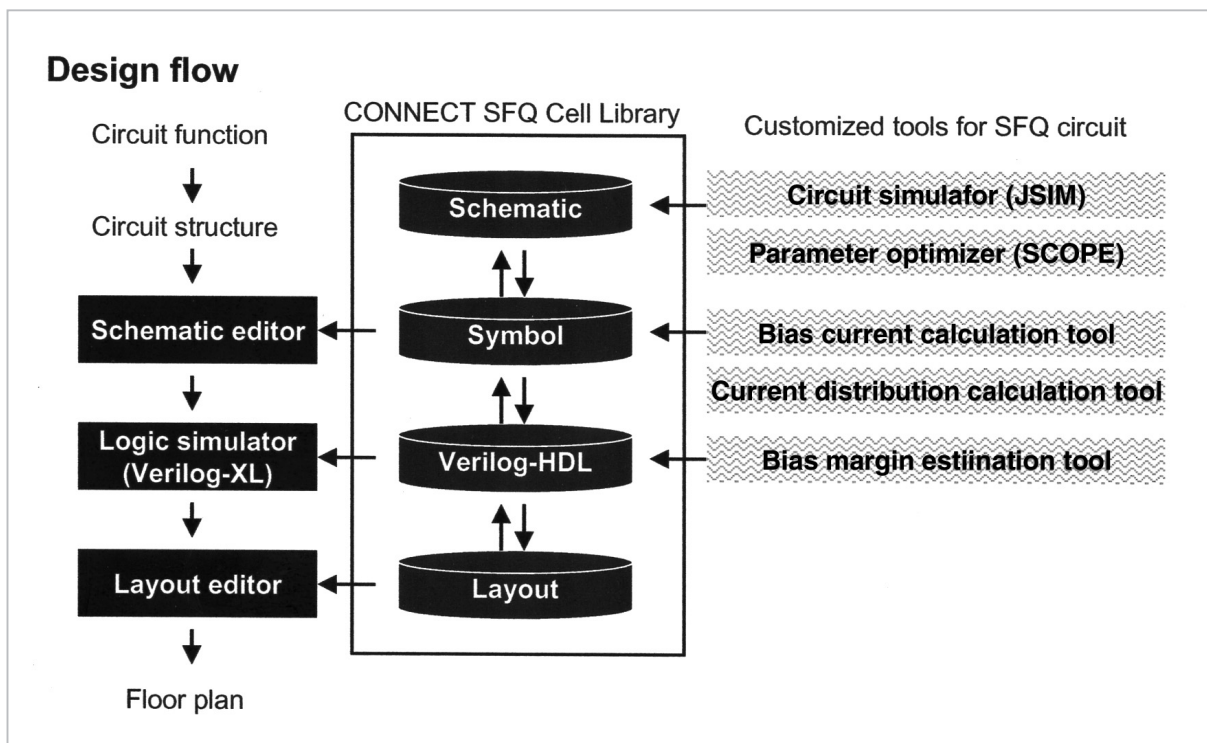


図4 大規模SFQ回路の設計フロー

このようなプリミティブな回路のシミュレーション(アナログシミュレーションと呼ぶ)には膨大な時間を要するため、大規模な回路についてはタイミングシミュレーションという別な手法を取り入れて動作チェックを行っている。タイミングシミュレーションは、各々のセルについてアナログシミュレーションから抽出したタイミングパラメータを基に行われる。タイミングパラメータの記述にはVerilog-XLとよばれるハードウェア記述言語を使用した。セルベース法の究極的な到達点は、回路設計者がSFQ回路であることをほとんど意識することではなく、SFQ回路の設計をできるようにすることである。

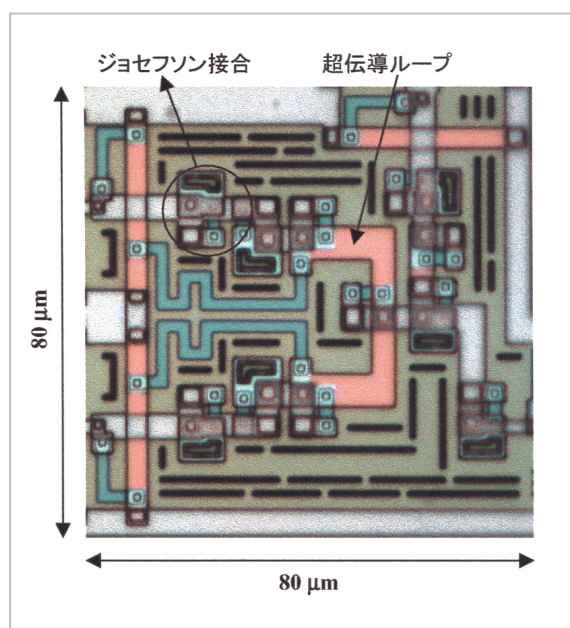


図5 SFQセルの顕微鏡写真

セルベース設計で重要な点は、いかにプリミティブな回路のパラメータ(具体的にはジョセフソン接合の臨界電流値やインダクタンスなど)を最適化するかである。我々は名古屋大学で開発されたSCOPEと呼ばれる最適化ツールを用いてパラメータの最適化を行い、すべてのセルで動作マージン $\pm 25\%$ 以上を確保することに成功した。図5にSFQセル(Ex-ORゲート)の顕微鏡写真を示す。セルは矩形でその寸法は $40\ \mu\text{m}$ で規格化されている。また、他のセルとの接続を考慮して、信号の入出力ポートの位置が決められている。このセルに含まれるジョセフソン接合数は11個で、他の論理セルについてもおおむね

10個前後のジョセフソン接合で構成されている。

6 ネットワークスイッチ回路の動作実証

インターネットの普及や近年のブロードバンド化により基幹系ネットワークのトラフィックは増加の一途をたどっている。光ファイバー及び波長分割多重伝送技術により、膨大な量の情報を伝送することは可能となっているが、電気的処理を必要とするルータなどが今後大容量ネットワークを実現する上でのボトルネックとなる可能性がある。我々はこのような基幹系ネットワーク向けの大容量ルータを実現するためのキーコンポーネントとしてSFQ回路を位置付け、SFQネットワークスイッチ回路の設計を行ってきた。

今回採用したタンデムバンヤン型スイッチファブリックを図6に示す[16][17]。構成要素はセルフルーティングでパケットを所望の出力ポートに転送するバンヤンネットワーク、パケットに付加されたフラグ情報により2方向にパケットを振り分けるTMC回路、出力バッファというシンプルな構成である。バンヤンネットワーク内でパケットが衝突した場合、どちらか一方のパケットは必ず誤ったポートに出力されることになるが、衝突が発生した時点で誤った方向に転送されたパケットにはそのことを示すフラグを付けておく。このフラグをTMCでチェックし、正しく転送されたパケットは出力バッファに転送され、それ以外のパケットは2段目のバンヤンネットワークへ転送される。この課程を何度か繰り返すことですべてのパケットが所望の出力ポートに転送される。

バンヤンネットワークは 2×2 スイッチと呼ばれる2入力、2出力を持つスイッチを並べた構成で、各々の 2×2 スイッチはアドレスデコーダを持つためセルフルーティングスイッチとして機能する。アドレスデコーダが内蔵されている分、 2×2 スイッチ一つ当たりの回路規模は大きくなるが、スイッチ全体を制御する複雑な回路が不要で、スイッチ規模のスケラブルな向上が容易である。

図7に今回動作に成功した回路のブロック図を

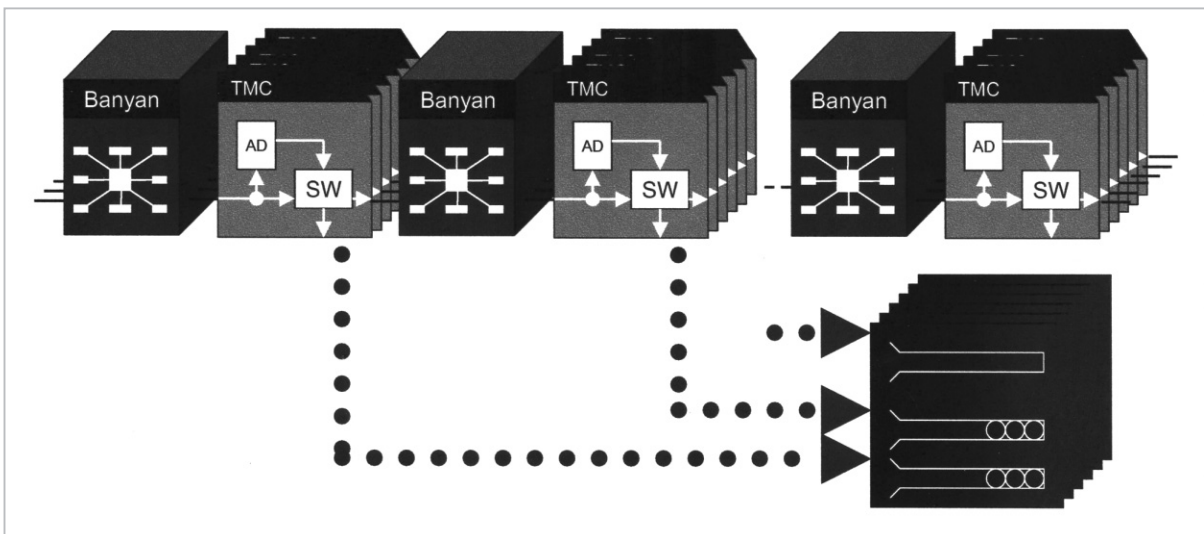


図6 タンデムバンヤン型スイッチファブリック

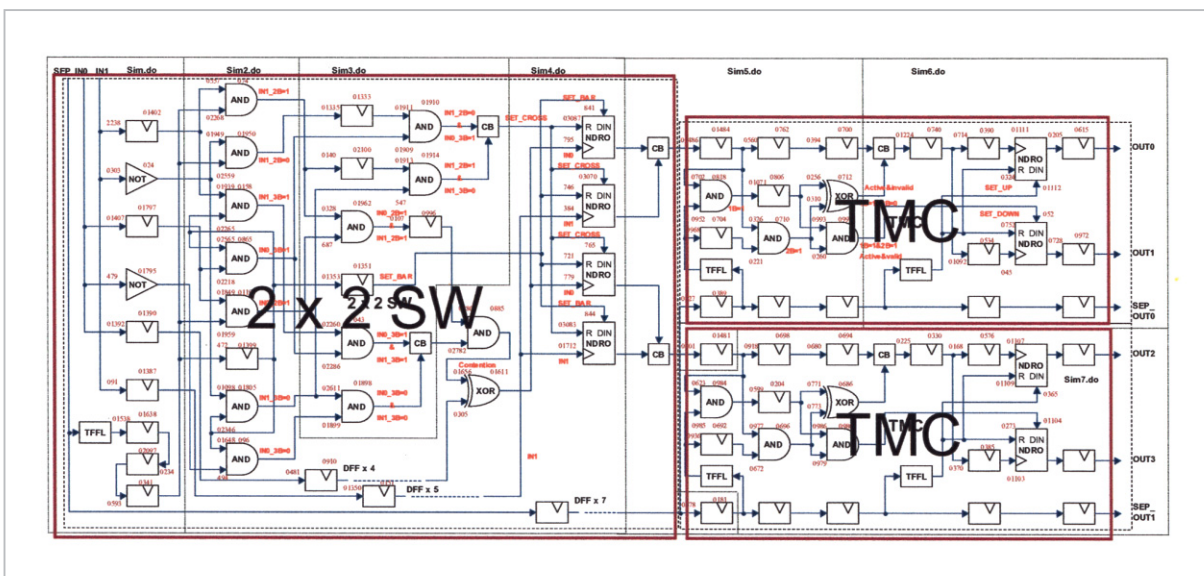


図7 ネットワークスイッチ回路のブロック図

示す。チップはNECのNb標準プロセス[8]を用いて作製された。回路は2×2スイッチ一つ、TMC二つを組み合わせた回路で、タンデムバンヤン型スイッチファブリックの最小ユニットである。この回路には高速(約20 GHz~40 GHz)のクロック発生回路と、データストレージ用のシフトレジスタが同一チップ上に集積されていて、高速での動作実証が可能となっている。回路全体で約200個の論理ゲートからなり、使用したジョセフソン接合の数は5250個である。

このネットワークスイッチ回路には、パケットが衝突した際の制御や、パケットの優先制御など高度な機能も含まれている。このような機

能がすべて正常に動作するかテストした結果、すべてのテストパターンで正常な動作が確認された。図8に回路の正常動作領域の動作周波数依存性を示す。グレーの部分で正常動作領域で、動作周波数20 GHz付近での動作マージンは±6%程度である。周波数の増加とともにタイミングエラーによるマージンの縮小が見られるものの、30 GHzで正常に動作していることが確認された。

7 むすび

SFQ回路は電子の波としての性質を利用した

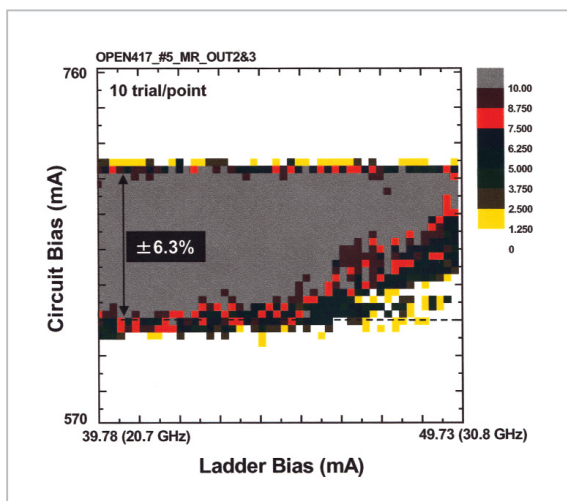


図 8 正常動作領域の動作スピード依存性

量子効果デバイスであり、半導体デバイスの機能性と、光デバイスの高速性を兼ね備えている。様々な応用が期待されているが、大規模回路の動作実証が当面の課題であった。産官学の協力でSFQセルライブラリを構築し、セルベース設計法の開発を行った。その結果、ジョセフソン接合5250個を含むネットワークスイッチ回路の30 GHzでの高速動作を実証し、我々の開発した設計手法が大規模SFQ回路の設計に有効であることが確認された。CMOS以外の低消費電力系デバイスでこの規模の回路が動作した例はほとんどなく、SFQ回路がポストCMOSデバイスの有力候補であることが実証された。

参考文献

- 1 榎本忠儀、CMOS集積回路、培風館、1996.
- 2 日経エレクトロニクス4月26日号
- 3 K. K. Likharev, and V. K. Semenov, IEEE Trans. on Appl. Supercond., Vol. 1, 3, 1991.
- 4 K. K. Likharev, IEEE Trans. Magn. MAG-23, 1142, 1987.
- 5 J. R. Tucker, J. Appl. Phys. 72, 4399, 1992.
- 6 K. K. Likharev, PROCEEDINGS OF THE IEEE, Vol. 87, 606, 1999.
- 7 応用物理学会誌、Vol. 72, No. 9.
- 8 S. Nagasawa, Y. Hashimoto, H. Numata, and S. Tahara, IEEE Trans. on Appl. Supercond., Vol. 5, 2447, 1995.
- 9 H. Terai, Y. Kameda, S. Yorozu, A. Kawakami, N. Yoshikawa, and Z. Wang, Physica, C 392-396, 1485, 2003.
- 10 Y. Kameda, S. Yorozu, H. Terai, and A. Fujimaki, Jpn. J. Appl. Phys., Vol. 42, 2163, 2003.
- 11 P. Bunyk, M. Leung, J. Spargo, and M. Dorojevets, IEEE Trans. Appl. Supercond., Vol. 13, 433, 2003.
- 12 M. Dorojevets and P. Bunyk, IEEE Trans. on Appl. Supercond., Vol. 13, 446, 2003.
- 13 A. Fujimaki, K. Nakazono, H. Hasegawa, T. Sato, A. Akahori, N. Takeuchi, F. Furuta, M. Katayama, and H. Hayakawa, IEEE Trans. on Appl. Supercond., Vol. 11, 318, 2001.
- 15 E. B. Wikborg, V. K. Semenov, and K. K. Likharev, IEEE Trans. on Appl. Supercond., Vol. 9, 3615, 1999.
- 16 S. Yorozu, Y. Kameda, S. Tahara, H. Terai, A. Fujimaki, and T. Yamada, Physica, C 378-381, 1471, 2002.
- 17 F. Tobagi, T. Kwok, and F. Chiussi, IEEE J. Sel. Areas Commun., Vol. 9, 1173, 1991.
- 18 H. Terai, Y. Kameda, S. Yorozu, and Z. Wang, Supercond. Sci. Technol., Vol. 14, 1060, 2001.



寺井弘高

基礎先端部門関西先端研究センター超伝導エレクトロニクスグループ主任研究員 博士(工学)
超伝導エレクトロニクス



王 鎮(WANG Zhen)

基礎先端部門関西先端研究センター超伝導エレクトロニクスグループリーダー 博士(工学)
超伝導エレクトロニクス

