

## 1. 研究課題・受託者・研究開発期間・研究開発予算

- ◆研究開発課題名 単原子長ゲートによる低環境負荷物質から成る高出力THz帯増幅器の創出
- ◆受託者 国立大学法人東北大学、国立研究開発法人産業技術総合研究所、国立大学法人東京大学、国立大学法人筑波大学、国立大学法人広島大学
- ◆研究開発期間 令和4年度～令和6年度（3年間）
- ◆研究開発予算（契約額） 令和4年度から令和5年度までの総額177百万円（令和5年度99百万円）

## 2. 研究開発の目標

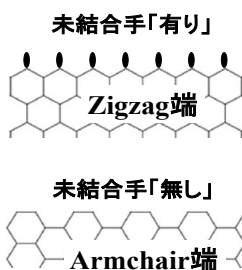
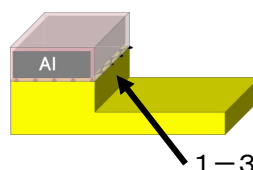
本研究開発では、SiC基板上に成長させた低環境負荷材料であるグラフェンの厚みを長さとした単原子長ゲートに、ゲート絶縁膜を介して、二次元半導体を接合させることで、低環境負荷物質から成るTHzトランジスタの実現を目指す。

## 3. 研究開発の成果

### 1. 単原子長ゲート

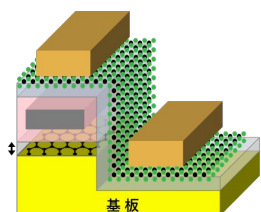
グラフェンを用いて、ゲート長が単原子レベルまで短縮した単原子長ゲートを創出

1-3 グラフェン端の化学結合状態の観察



### 2. 二次元半導体縦型トランジスタのチャンネルおよびゲート・スタック

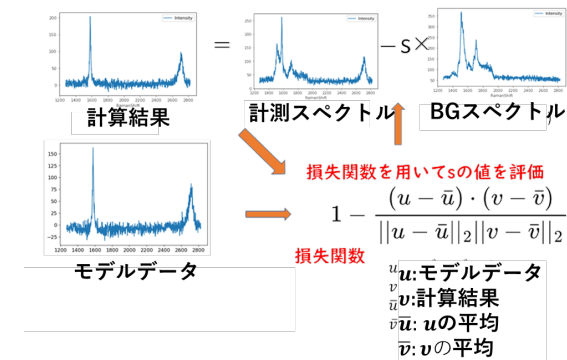
トランジスタを構成する各材料の配置構造とその構築プロセスをゲート絶縁膜と二次元半導体との界面特性、二次元半導体の品質・特性に着目して、最終目標達成を図る。



- 2-1 想定素子構造の検討
- 2-2 原子層堆積法によるゲート絶縁膜の成膜条件と膜特性の検討
- 2-3 ゲート絶縁膜上への二次元半導体の位置選択的三次元成長法の検討

### 研究成果1-3:

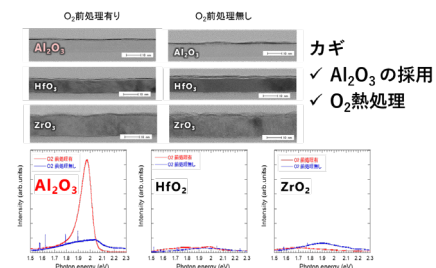
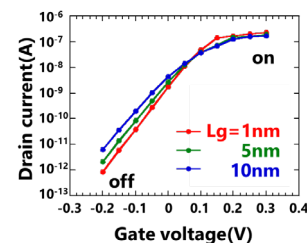
- ・機械学習を活用してRaman分光によるグラフェンの化学結合状態の精密自動解析システムを構築。
- ・グラフェン端の化学結合状態が、ZigZag端であることを明らかにした。



研究成果2-1: 非平衡グリーン関数法とポアソン方程式を用い、極短ゲート・トランジスタをモデル化し、スイッチング動作を確認

研究成果2-2: 高誘電率ゲート絶縁膜へのWS<sub>2</sub>成膜前のO<sub>2</sub>熱処理により、成膜したWS<sub>2</sub>の結晶性が向上することを確認

研究成果2-3: 単原子長ゲート上へ原子層(ALD)堆積法によりAl<sub>2</sub>O<sub>3</sub>ゲート絶縁膜を形成し、さらに、その上にWS<sub>2</sub>薄膜を形成することに成功  
Al<sub>2</sub>O<sub>3</sub>薄膜のSiO<sub>2</sub>換算膜厚は4.2 nm、WS<sub>2</sub>の膜厚は~1 nm → 目標を達成



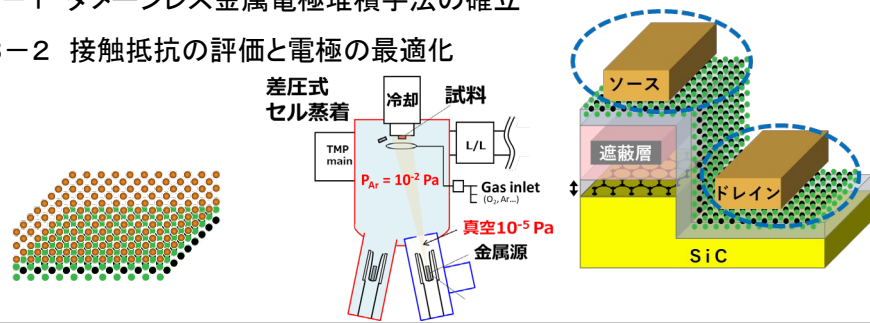
### 3. 研究開発の成果

#### 3. ソースドレイン電極接触抵抗の制御

二次元半導体上への新たな金属電極形成法を創出し、接触抵抗を制御

##### 3-1 ダメージレス金属電極堆積手法の確立

##### 3-2 接触抵抗の評価と電極の最適化



#### 研究開発項目 3-1

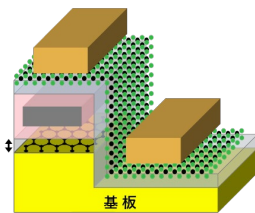
- ・ダメージレス堆積手法として、Bi/Au, Bi/Ptの2層系電極の堆積プロセスを確立
- ・N型ドーパントのベンジルピオロゲン(BV)分子によるN<sup>+</sup>化、及びP型ドーパントのAuCl<sub>3</sub>によるN型からP型への変調を達成

研究開発項目 3-2 : Y function法をWSe<sub>2</sub> FETに適用し、閾値、移動度、接触抵抗を抽出し、本手法の妥当性を確認

#### 4. 単原子長ゲート・トランジスタの試作および特性評価

##### 4-1 デバイス試作

単原子長ゲート・ゲート絶縁膜・二次元半導体チャネルから成る、二次元半導体縦型トランジスタ試作に向けた形成条件の探索。



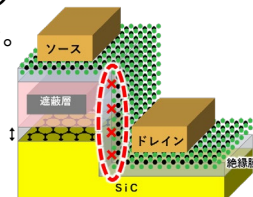
#### 研究開発項目 4-1

- ・単原子長ゲート上へのAl<sub>2</sub>O<sub>3</sub>超薄膜の形成、および、その上へのWS<sub>2</sub>薄膜を形成することに成功
  - ✓ Al<sub>2</sub>O<sub>3</sub>薄膜を、SiO<sub>2</sub>換算膜厚：4.2 nmまで超極薄化に成功
  - ✓ 形成したWS<sub>2</sub>の膜厚を最小で~1 nmまで超極薄化に成功
- ・デバイス・レイアウトの基本設計について検討
- ・単原子長ゲートを用いたトランジスタおよび回路に関する特許を二件出願。これらの特許とこれまでの出願特許を併せた特許網に基づき、社会実装へ向けた取り組みを開始

#### 5. 界面準位の研究

界面欠陥の素性を明らかにし、トランジスタの高速スイッチング特性に及ぼす影響を抽出する。デバイスモデルに組み込む。

- ・5-1 物理的計測による界面状態・端面状態の研究
  - : 超高速応答の評価
- ・5-2 電気的計測による界面準位の研究
  - : 界面欠陥密度測定の高感度化



- ・ゲート絶縁膜を介した容量カップリングを用いたチャネル電位の時間変化から界面準位密度測定手法を考案した。
- ・Si基板をバックゲートとしたMoS<sub>2</sub>チャネルFETを試作し、上記手法による界面準位密度測定を開始した。
- ・Si基板上に形成したSiO<sub>2</sub>膜上に堆積したWS<sub>2</sub>膜について、キャリアの高速ダイナミクスの評価を開始した。

### 3. 研究開発の成果

研究開発目標

#### 5. デバイス・モデリング

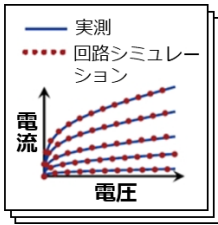
回路シミュレーションでの実行に堪えるモデルであることを実証する。

##### 5-1 デバイス・モデルの構築

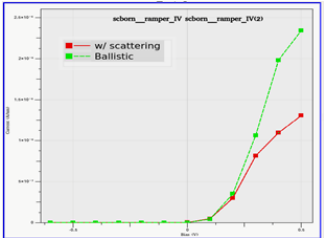
実証過程にて明らかとなったモデル上の弱点を是正する

##### 5-2 デバイス・モデルの実証

電気特性に対するモデル特性合わせこみ事例を拡充する。  
回路シミュレーションの安定実効に資する数値的挙動を実証する。



- ・原子レベル手法によるデバイスシミュレーション(非平衡グリーン関数法 +ポアソン方程式)がMoS<sub>2</sub>極薄膜MOSFET構造に於いて散乱機構を自己無撞着に含む手法(self-consistent Born近似)にて実行可能になった。
- ・ソース・ゲート間に配置される電氣的浮遊金属体は、当初目論の静電遮蔽体としてではなくむしろField plateとして機能し、ソース・チャネル間のアクセス領域のキャリア濃度の増加に寄与することをデバイスシミュレーションにより例示。
- ・HiSIM\_SOI/SOTBのコード整備と解法改善を実施中。



研究開発成果

4. 特許出願、論文発表等、及びトピックス

国内出願	外国出願	研究論文	その他研究発表	標準化提案	プレスリリース 報道	展示会	受賞・表彰
2 (2)	0 (0)	7 (5)	71 (41)	21 (12)	0 (0)	0 (0)	4 (3)

※成果数は累計件数、( )内は当該年度の件数です。

(1) 標準化提案

回路を構成する素子の挙動を、あらゆるEDA(Electronic Design Automation)ツール上、主に回路シミュレータ上で同じようにシミュレーションできることを企図して、回路シミュレーション用素子モデル(コンパクトモデル)の標準化が行われている。このようなコンパクト・デバイスモデルの標準化は、国際標準化団体であるCMC(Compact model coalition)を通じて行われている。広島大学(HiSIM)は、CMCを通じた継続的な国際標準化活動を実施しており、国際標準モデルとして、極薄膜素子モデルである「SOI MOSFET用 HiSIM\_SOI」「Thin BOX MOSFET用 HiSIM\_SOTB」など5個が認定されている。これは、人的・物的資源面で圧倒的なUniversity of California, Berkleyに、**比類する地位を占めている。**

本課題において、広島大学(HiSIM)はMOSFETとしての基本動作は2D半導体であっても同じとの大局的な見地から、既存の極薄膜素子モデル(HiSIM\_SOIおよびSOTB)の中で2D半導体FETのシミュレーション機能の実現を目ざす。既存標準モデルへの機能追加により、学理・研究にだけには留まらず、ユーザーが事業遂行可能なモデルを実現する。極薄膜素子モデルの今日の改善は2D半導体FETモデルの実現につながる。

以上のような背景の下、本課題において、広島大学から昨年度の標準化提案9件に加えて、本年度**12件**標準化提案がなされた。これらの標準化提案件数は、当初の最終目標(1件)を大幅に上回っている。

(2) 特許出願および社会実装への取り組み

本研究において中核となる単原子長ゲートを用いたトランジスタおよびそのアナログ集積回路応用について、国内特許を2件出願した。これらの特許を基に、来年度、台湾出願・PCT出願を**最大で4件**行う予定である

(3) 社会実装への取り組み

(1. 知財化マップ作成) 2021年に出願した特許および2023年に出願した本研究に関連した特許について、知財化マップを作成した。その結果、これらの特許には、**世界的先導性が認められた。**米国の衛星通信大手Viasat社や大学も同様の特許を考えていたが、我々は彼らに先んじることができた。

(2. 社会実装に向けた取り組み) 上述の知財化マップを受け、本課題とは別に以前から交渉していた**企業との社会実装に向けた取り組み**に着手した。

(4) 受賞

本研究で取り扱う二次元半導体に関する研究に関し、応用物理学会奨励賞をはじめとする**3件**を受賞した。これらは、デバイス動作における二次元半導体を囲む界面物性を調べたものであり、その成果は、本課題に資するものである。

5. 今後の研究開発計画

本年度は、全体として、ほぼ契約書通りに研究計画を遂行できた。来年度以降も、計画通りに研究を進める。主たる目標としては、

2024年度	ゲート絶縁膜を介した、二次元半導体と単原子長ゲートの接合を最適化し、トランジスタを試作。そのトランジスタのTHz帯における動作を実測ならびにデバイス・モデリング/シミュレーションにより検証する。
--------	---

くわえて、次の点に留意する:

- デバイス消費電力の予測: 単原子ゲート長・トランジスタの複雑な動作機構を解明した上で、デバイス・レイアウトの共通化などにより 既存のトランジスタ(例: InGaAs-HEMT)との性能比較や寄生容量・抵抗の寄与を進めていきたい。