

令和 6 年度研究開発成果概要書

採 択 番 号 05901

研究開発課題名 単原子長ゲートによる低環境負荷物質から成る高出力 THz 増幅器の創出

(1) 研究開発の目的

低環境負荷物質から成る高出力 THz 増幅器を創出することを目指す。

(2) 研究開発期間

令和 4 年度から令和 6 年度 (3 年間)

(3) 受託者

国立大学法人東北大学<代表研究者>
国立研究開発法人産業技術総合研究所
国立大学法人東京大学
国立大学法人筑波大学
国立大学法人広島大学

(4) 研究開発予算 (契約額)

令和 4 年度から令和 6 年度までの総額 273 百万円 (令和 6 年度 97 百万円)
※百万円未満切り上げ

(5) 研究開発項目と担当

研究開発項目 1 ゲート構造の試作に関する研究

- 1-1. SiC 基板へのグラフェン成長 (国立大学法人東北大学)
- 1-2. SiC 基板上グラフェンの微細加工 (国立大学法人東北大学)
- 1-3. グラフェン端の化学結合状態の観察 (国立大学法人東北大学)

研究開発項目 2 二次元半導体成長に関する研究

- 2-1. 想定素子構造の検討 (国立研究開発法人産業技術総合研究所)
- 2-2. 原子層堆積法によるゲート絶縁膜形成 (国立研究開発法人産業技術総合研究所)
- 2-3. ゲート絶縁膜上への二次元半導体の位置選択的三次元成長 (国立研究開発法人産業技術総合研究所)

研究開発項目 3 ソース/ドレイン電極の接触抵抗の制御

- 3-1. ダメージレス金属電極堆積手法の確立 (国立大学法人東京大学)
- 3-2. 接触抵抗の評価と電極の最適化 (国立大学法人東京大学)

研究開発項目 4 二次元半導体縦型トランジスタの試作および特性評価

- 4-1. デバイス試作 (国立研究開発法人産業技術総合研究所、国立大学法人東北大学)
- 4-2. DC 特性評価 (国立大学法人筑波大学)
- 4-3. 高周波特性評価 (国立大学法人東北大学)

研究開発項目 5 界面準位の研究

- 5-1. 物理的計測による界面状態・端面状態の研究 (国立大学法人筑波大学)
- 5-2. 電気的計測による界面準位の研究 (国立大学法人筑波大学)

研究開発項目 6 デバイス・モデリング

- 6-1. デバイス・モデル構築 (国立大学法人広島大学)
- 6-2. デバイス・モデルの実証 (国立大学法人広島大学)

(6) 特許出願、外部発表等

		累計（件）	当該年度（件）
特許出願	国内出願	2	0
	外国出願	4	4
外部発表等	研究論文	17	10
	その他研究発表	120	51
	標準化提案・採択	33	12
	プレスリリース・報道	0	0
	展示会	0	0
	受賞・表彰	6	0

(7) 具体的な実施内容と最終成果

研究開発項目1 ゲート構造の試作に関する研究

1-1. グラフェンのSiC基板上への大面積（1 x 1 cm²）・高品質作製に成功。このグラフェンは、室温で、超高キャリア移動度 100,000 cm²/Vs（Siの100倍）を示した。

1-2. 反応性イオンエッチング（RIE）を用い、1-1.で作製したグラフェンを微細加工して、単原子長ゲート構造の作製に成功した。

1-3. 機械学習を用いた Raman スペクトルの自動精密解析システムを創発した。このシステムを用いて、高効率にグラフェン端の化学種の同定に成功した。

研究開発項目2 二次元半導体成長に関する研究

2-1. 非平衡グリーン関数法とポアソン方程式を用い、極短ゲート・トランジスタをモデル化して電気特性を理論計算した。長さ 1 nm の極短ゲートでもスイッチング動作することを確認した。さらに、DC 特性における最重要パラメータである相互コンダクタンス（ g_m ）を計算し、既存のトランジスタ（InGaAs-HEMT など）と遜色ない値を示すことを明らかにした。さらに、10 nm 以下の極短ゲート長における電流利得遮断数（ f_T ）と電力利得最大発振周波数（ f_{MAX} ）がそれぞれ、2.5 THz、7 THz に達すると予測された。これらの結果は、単原子長ゲート・2D 半導体トランジスタがTHz帯で動作し、既存の高周波トランジスタを凌駕する性能を有することを示す。

2-2. 原子層堆積法（ALD）によるゲート絶縁膜形成技術確立し、Al₂O₃薄膜のSiO₂換算膜厚を4.2 nmを実現し、目標を達成した。

2-3. 単原子長ゲート上へALDによりAl₂O₃ゲート絶縁膜を形成し、さらに、その上にWS₂薄膜を形成することに成功した。このとき、WS₂の膜厚は～1 nmであり、目標を達成した。

研究開発項目3 ソース/ドレイン電極の接触抵抗の制御

3-1. 1 Å/sでのBi堆積で表面粗さ0.3nmのダメージレス堆積を確認し、さらに、Bi/Au極薄2層系電極により実効仕事関数を変調可能であることを確認した。

3-2. Y function 法により接触抵抗を抽出し、Sb₂Te₃/MoS₂コンタクトにおいて0.2 kΩ μmを確認。

研究開発項目4 二次元半導体縦型トランジスタの試作および特性評価

4-1. トランジスタの基本要素技術を最適化し、チャネル厚およびゲート絶縁膜を制御することに成功し、目標値を達成した。更に、寄生抵抗および寄生容量の一桁以上の削減のために、アクセス領域短縮技術および遮蔽層形状制御を創出した。装置の度重なる故障により四ヶ月以上遅延してしまいが、上述の技術を基に、三月末時点で試作の最終段階に入っている。

4-2. 項目2の計算結果は、フォノン散乱を考慮した点で現実に即したものであった。これに、接触抵抗による影響を取り込むことで、実際のデバイスにおける相互コンダクタンスを計算した。得られた値は、開発中のデバイスがInGaAs-HEMTなどの既存のデバイスと遜色ないDC特性を発現するであろうことを示すものである。

4-3. 項目2の計算結果に基づき、寄生抵抗・寄生容量双方の影響を取り込むことで、開発中のトランジスタが実際に発現するであろう f_T を予測し、300-900 GHzとなることが判明した。

このことは、開発しているトランジスタが、THz 帯で動作できることを示すものである。 f_{MAX} は、 f_T の三倍以上になり、>1 THz で動作するであろうことが示された。また、低消費電力性や高周波電力の高出力性において、InGaAs-HEMT よりも一桁から二桁程度優れていることを示した。これらの特性は、Beyond 5G に資するものである。

研究開発項目 5 界面準位の研究

5-1. 走査電子顕微鏡法(SEM)とフェムト秒レーザーを組み合わせた時間分解 SEM 装置を開発した。本装置により、試料表面の電位分布変化を 10 ピコ秒程度の時間分解能、<100nm の空間分解能で評価することが可能である。

5-2. 膜の法線方向に空乏層が広がらない単層 2 次元材料と絶縁膜界面準位の定量評価を行う方法を考案した。

研究開発項目 6 デバイス・モデリング

6-1. 二次元半導体素子の電気的動作を仮想的に計算機上で模擬するために商用ソフトウェアを選定・調達し、保有の計算機環境に導入し、稼働させた。前述の商用ソフトウェア上で原子レベル手法によるデバイスシミュレーション(非平衡グリーン関数法+ポアソン方程式)が MoS₂ 極薄膜 MOSFET 構造に於いて散乱機構を自己無撞着に含む手法にて実行可能になった。

6-2. シリコン素子向け現有コンパクトモデルにおいて、二次元半導体素子と関連深い項目に焦点を当ててコード精査を進めた。二次元半導体素子への適用を意図して現有コンパクトモデルにおいて最小限のコード書換を行った。二次元材料の極薄膜 MOSFET について電気特性を入手し、前述のコンパクトモデルを用いて電気特性を記述できることを例証した。

※これらの研究に基づいて、継続的に標準化活動を行った結果、33 件の標準化提案に至った。

(8) 研究開発成果の展開・普及等に向けた計画・展望

- ・ 現在試作の最終段階にあるトランジスタの試作を完了し、急ぎ評価を進めて、THz 帯で動作し、低消費電力・高出力 Beyond 5G デバイスであることを実証する予定。

2035 年に、半導体集積回路においてカギとなるトランジスタは、現在の Si をチャネルとしたものから、2D 半導体をチャネルとしたものに移行する。2034 年には、2D 半導体材料の市場規模は 1 兆 1 千億円を超えるものになると予測されている。本課題において研究した単原子長ゲート・トランジスタがその一翼を担うものとなるように、更に研究を加速したい。

- ・ (実用化) 材料メーカ・NICT との産官学連携の下、単原子長ゲート構造を活用したトランジスタ製造およびモノリシック集積回路化に関する特許網および以前の特許を組み合わせることで、単原子長ゲート・トランジスタ、GaN-HEMT、グラフェン・アンテナのモノリシック集積化させた、5G~6G~7G までカバーするアナログ高周波回路の実用化を目指す。既に、産官学共同開発を 2023 年に開始しており、速やかに実用化したい。

さらには、デバイス・最終製品のそれぞれのレイヤーの企業との共同研究を展開している。これらを統合し、「材料~デバイス~最終製品までのレイヤー縦断的な産官学連携体制」を構築して、研究成果を応用した製品の速やかな普及に努めていきたい。例えば、市場規模 180 兆円である CASE (シェアリング、コネクテッド、自動運転、電動化) へ貢献する。

- ・ (標準化) FET としての基本動作は 2D 半導体であっても同じとの大局的な見地から、既存の極薄膜素子モデルの中で 2D 半導体 FET のシミュレーション機能の実現を目ざしている。本研究開発で、HiSIM を用いることで、二次元半導体トランジスタの電気特性を再現できることが実証された。今後、HiSIM を用いて、二次元半導体トランジスタのコンパクト・デバイスモデリングの標準化において、国際的ヘゲモニーを掌握できるようにしていきたい。

その掌握のための方策の一つとして、表面電位のナノスケール三次元計測法の活用を考えている。代表者が開拓した三次元ナノスケール光電子分光法 (3D nano-ESCA) は、元素選択的に、HiSIM におけるキーパラメータである表面電位を三次元的に <50 nm の空間分解能で計測できる。3D nano-ESCA を用いて、HiSIM の更なる精緻化を行い、HiSIM の国際競争力向上に貢献していく。