

令和 7 年度研究開発成果概要書

採 択 番 号 23701
研究開発課題名 完全自動運転のための高性能かつ高信頼な車載光ネットワーク基盤技術の研究開発
副 題 コヒーレント光フレームスイッチ方式を用いた車載通信システムの拡張性向上と省電力化に関する研究開発

(1) 研究開発の目的

基本構成要素の設計を行い、25 Gb/s 光位相変調器用ドライバ回路を試作し、評価する。DPSK 復調回路における遅延回路の回路構成の検討を行い、25 Gb/s に対応可能な遅延量および可変幅の確保を目標とする。GW 数 6 台以上かつ 100 Gb/s 以上の構成を対象とし、OMEGA と比較して 1/10 以上の低遅延化が可能であることを示す。ホモダイン検波によるコヒーレント変復調方式における伝送特性をシミュレーションによって明らかにする。DPSK 遅延干渉計を利用した送受信系を構築する。制御系データ通信技術に関して、車載光ネットワークの一部レーンのネットワーク障害等が発生した場合でも制御性能の劣化を抑制しつつトラヒック量削減が可能である見込みを得る。

(2) 研究開発期間

令和 6 年度から令和 8 年度 (3 年間)

(3) 受託者

学校法人慶應義塾<代表研究者>
古河電気工業株式会社
公立大学法人滋賀県立大学
国立大学法人東海国立大学機構 岐阜大学
国立大学法人大阪大学
株式会社ファストリンクテック

(4) 研究開発予算 (契約額)

令和 6 年度から令和 7 年度までの総額 220 百万円 (令和 7 年度 100 百万円)
※百万円未満切り上げ

(5) 研究開発項目と担当

研究開発項目 1 車載光通信装置の開発

- 1-1. DPSK 光信号送信用ドライバ回路の開発 (国立大学法人東海国立大学機構 岐阜大学)
- 1-2. 位相ダイバーシティ用アナログ受信回路の開発 (公立大学法人滋賀県立大学)
- 1-3. 車載用光伝送装置の開発 (古河電気工業株式会社)
- 1-4. 車載用信号処理装置の開発 (株式会社ファストリンクテック)

研究開発項目 2 車載光ネットワークシステム及び通信方式の開発

- 2-1. 車載光 NW 構成法および NW 通信方式の研究開発 (国立大学法人大阪大学)
- 2-2. 車載光ネットワークシステムの開発 (学校法人慶應義塾)

(6) 特許出願、外部発表等

		累計（件）	当該年度（件）
特許出願	国内出願	6	3
	外国出願	0	0
外部発表等	研究論文	2	2
	その他研究発表	17	12
	標準化提案・採択	0	0
	プレスリリース・報道	0	0
	展示会	3	2
	受賞・表彰	0	0

(7) 具体的な実施内容と成果

令和6年度に設計・試作した 65-nm CMOS プロセスを適用した光 DPSK 信号生成および高速駆動回路チップの性能評価を実施した。本チップは、25 Gb/s の高速データレートに対応する NRZ-DPSK 変換回路および変調器駆動用ドライバを主眼に設計されており、2 チャンネル分を 2 mm × 2 mm のチップ面積へと集積している。開発過程においては、ポストレイアウトシミュレーションにより 25 Gb/s における良好な出力波形を確認したのち、試作チップを用いたオンウエハプロービング測定を通じて、実動作環境下での特定パターンに対する正常な変調・駆動動作を実証した。高速光伝送システムの実現に向けた光外部変調器の設計、および試作デバイスのオンウエハ測定による性能評価を実施した。本変調器における位相変調部は、駆動電圧の低減と EMC 特性の向上を目的として差動線路構成を基本設計に採用しており、特に光波と電気信号の伝搬速度を一致させる速度整合条件を満たすため、電極の特性インピーダンス最適化に注力した設計を行った。

令和6年度に設計・試作を行った 65-nm CMOS プロセスを用いた光 DPSK 信号受信・復調回路チップの評価を行った。2 チャンネル分を 2 mm × 2 mm のチップ面積に集積した。ポストレイアウトシミュレーションにより 25 Gb/s での復調動作を確認し、オンウエハプロービングによる試作チップ測定により、25 Gb/s の特定パターンに対する正常な復調動作を確認した。消費電力はチップ全体（2 チャンネル合計）で 0.63 W であった。光 DPSK 信号の復調過程における位相雑音の低減効果に関して検討を行った。65-nm CMOS プロセスを用いた 1 ビット遅延線路、アナログ乗算器、加算器を設計し、光信号に生じる位相変動を受信・復調回路により除去可能であることをポストレイアウトシミュレーションにより示した。また、上記の構成を取り入れた DPSK 信号受信・復調回路チップの設計・試作を行った。

薄膜 LN 位相変調器デバイスの二次試作品をモジュールパッケージに組立て、1 ビット遅延器およびバランスト PD を用いた受信系により、25 Gb/s の差動駆動での動作を確認した。半波長電圧は 5 V であった。変調器デバイスのインピーダンスを最適化する電極構造について HFSS シミュレーションを用いた設計を行った。また、一次試作 Tx-EIC をインターポーザ基板および変調器モジュールに組立て、FPGA で生成した信号による動作確認を実施した。さらに、PM ボードおよび ICR ボードの設計を完了し、回路基板を作製した。Rx-EIC 二次試作品に対応したインターポーザ基板を設計・試作・Rx-EIC をフリップチップボンディングし、Tx-EIC 二次試作品と併せて評価を実施した。FPGA インタフェース I/O ボードについては一次試作品を評価し、回路を修正した上で二次試作を完了した。FPGA および各光ユニット用電源ユニットは一次試作を評価し、二次試作の設計を完了した。

信号処理プラットフォームとして小型な Xilinx 製 FPGA ボード（SOM）を選定した。トランシーバの電気性能を評価し、25 Gb/s でエラーフリー伝送と良好なアイ開口を確認した。また、UD/DD-Plane の信号処理方式（64B/65B 符号化、RS-FEC、タイムスロット制御）を策定し、実装した。これらのプロトコルを定義したうえで、DD-Plane および UD-Plane を電氣的に模擬した評価ボード環境を構築し、4K カメラ映像とインターネットの同時通信を実証した。さらに、マスター装置および GW 装置で共通利用するマイコン制御の共通電源ユニットの仕様を策定した。I/O ボードの開発は 1 次試作を実施し、基本動作の確認は完了した。

25 Gb/s×4 チャンネルの 100 Gb/s、Master+GW5 台接続構成において、UD プレーン

と DD プレーン合計の応答遅延が 10 μ s に収まることをシミュレーションにより示した。フレームフォーマットの変更により OMEGA と比較して 1/10 の低遅延化が可能であることを示した。また、制御系フレームの常時周回による障害検知・データプレーン切替を組み込んだリング構成に対し、DFB レーザの温度依存故障率モデルと Weibull 摩耗故障期を統合した競合リスクモデルにより、一部レーン障害時の信頼性を定量評価した。その結果、温度制御 (25-50°C) と 2 重リング以上の冗長構成により、10 年運用で分断確率 1%未満を達成可能であり、VCSEL ベースのシステム構成に対して約 60 倍の優位性を有することを示した。

ホモダイン検波のモデルを構築し、解析的検討から、低周波の位相変動は提案する受信回路のアナログ電気処理によって、補償されることを示した。また、レーザの位相雑音の影響を検討し、コヒーレント用の DFB レーザを利用すれば影響が無いことを示した。さらに、ネットワーク内に迷光がある場合の影響を検討し、過剰雑音が無視できる条件を見いだした。信頼性を担保するためのアプリケーションレベルでのデータ損失補償技術とネットワークレベルでの冗長化技術を組み合わせることで、より高信頼な制御アプリケーションを実現できる見込みを得た。

(8) 今後の研究開発計画

前年度に実施した送信用 EIC の評価結果から抽出された課題に基づき、回路構成の最適化および 25 Gb/s 高速ドライバ回路の設計改善を推進する。具体的には、位相変調器との接合を前提とした送信用 EIC の回路設計に加え、光/パケット信号に対応したバーストモード電力削減技術の導入による待機電力低減の検討に注力する。この検討にあたっては、岐阜大学が蓄積してきたバーストモード対応受信回路の検知・制御技術をドライバ回路へと応用展開し、シミュレーションによる詳細な動作検証を行う。最終的には、目標とする 2 mm 角のチップサイズ内での最適なレイアウト設計を完了させ、次段階に向けた設計データの確立と高効率な送信系実現のための設計基盤構築を目指す。

令和 7 年度に解析・設計・試作を行った DPSK 信号受信・復調回路チップの特性評価を行う。2 チャンネル合計のビットレートを 50 Gb/s 程度、消費電力を 1 W 以下での動作の実証を目指す。また、DPSK 信号受信・復調回路チップのさらなる高機能化に向けた検討を行う。低温から高温に至るまで過酷な環境での動作が要求される車載光ネットワークでの安定動作に向けて、DPSK 信号受信・復調回路の温度特性を回路シミュレーションにより明らかにする。さらに、マスター装置に搭載された DPSK 信号受信・復調回路が各ゲートウェイ (GW) からの送信信号を受信する際に、遅延同期ループ (Delay Locked Loop: DLL) 回路構成により、マスター装置内のクロック信号に同期した復調出力が得られるような方式を検討する。

インピーダンス最適化および帯域改善設計を施した薄膜 LN 位相変調器デバイスの三次試作品を試作し、光モジュールに組立てし、変調特性の評価を行う。半波長電圧の評価結果を踏まえ、二次試作 Tx-EIC による駆動を前提とした集積変調器モジュールを試作するかを判断する。また、ドライバ IC と変調器モジュールを搭載する FPGA 接続用 PM ボードを試作し、FPGA と組み合わせた評価を行う。コヒーレント受信器モジュール (ICR) および二次試作 Rx-EIC 用インターポーザ基板を搭載する FPGA 接続用 ICR ボードを試作し、FPGA と組み合わせた評価を行なう。

マスター装置は、2 台の CW 光源、光カプラによるローカル光分岐・信号源分岐、DD-plane 送受信光モジュールを光ユニットとしてまとめ、筐体へ組立てる。GW 装置は、光受信モジュール、タップカプラ、変調器モジュールを光ユニット化し、筐体へ組立てる。両装置には IO ボードおよび二次試作電源ユニットを組込む。光ファイバ・電源一括配線ハーネスによりマスター装置と 6 台の GW 装置を接続し、車載光伝送システムを構築する。さらに、4K カメラを 2 台以上接続して動作検証を行い、デモンストレーションとして実証を行う。小型車両サイズの台車フレーム上に車載光ネットワークを用いたセントラル&ゾーンアーキテクチャを構築し、CARLA による自動走行の VR (バーチャルリアリティ) 画像等をカメラで認識して処理し、低遅延での情報処理を実証する。

非対称通信 (UD/DD-Plane) の信号処理、タイムスロット制御による通信帯域制御、車載環境に耐えうる誤り訂正機能、主副回線切替による冗長性確保の検討、および既存バス (Ethernet/CAN) とのブリッジ接続機能を FPGA に搭載し、総合的な検証を行う。続いて、I/O ボードおよび電源ユニットを FPGA (SOM) とともにマスター装置および GW 装置へ組

込み、伝送試験を行う。最終的には、マスター装置及び GW 装置 6 台以上を接続した光通信ネットワークのデモシステムを構築し、4K カメラを 2 台以上接続して基本動作を実証する。

フェイルオーバー・フェイルソフト・フェイルセーフ時それぞれの帯域を任意に割当可能なネットワーク通信方式を考案する。特にセンサー情報取得から車両制御に至るまでのネットワーク遅延時間を最小化する帯域割当方法を検証する。Master/GW ボックスの特性を評価し、さらに Master/GW ボックスとその他の基幹部品との接続特性を評価して、最適な構成を検討する。全項目で協力し、デモシステムを構築して、外部に接続されたカメラなどの情報の伝送を行い、デモシステムの動作実証を行う。セルフホモダイン伝送システムにおいて、シミュレーションと実験から外部雑音の影響を明確にし、受信感度の向上と信頼性向上を図る。集積コヒーレント受信器において、局部レーザ光のパワーと感度の関係を明らかにする。光受信回路の評価と関連する技術についての知見を得る。コヒーレント受信器、薄膜 LN 位相変調モジュール、送信用ドライバ回路、GW ボックス等の基幹部品について、外部環境温度を変化させて、温度依存性などを評価する。また、電波暗室などを利用し、基幹部品の EMC 特性を評価する。これらの評価結果に基づいて、ネットワークを構成する場合の課題と対策を検討する。