

II-3. システム機器 (3)再生関連部

高橋富士信* 河野 宣之*

DECODING AND CORRELATION SYSTEM FOR VLBI

By

Fujinobu TAKAHASHI and Nobuyuki KAWANO

1. ま え が き

最近の半導体及び磁性体デバイスの著しい進歩は、科学技術の全般的分野に大きな影響を及ぼしているが、電波干渉計技術もその例に漏れず大きな影響を受けている。従来、アナログ法しか実現できなかった相関部分は、特に、高速・高集積論理素子によってデジタル法にとって代られようとしている。今回の再生相関システムでは、この傾向を積極的に取り入れて開発してきた。本章では、VLBIデータを記録するVTRと、データを再生する再生相関部及び電子計算機NEAC3100とのインターフェースについて詳細に報告する。

2. VLBI再生相関システムの構成

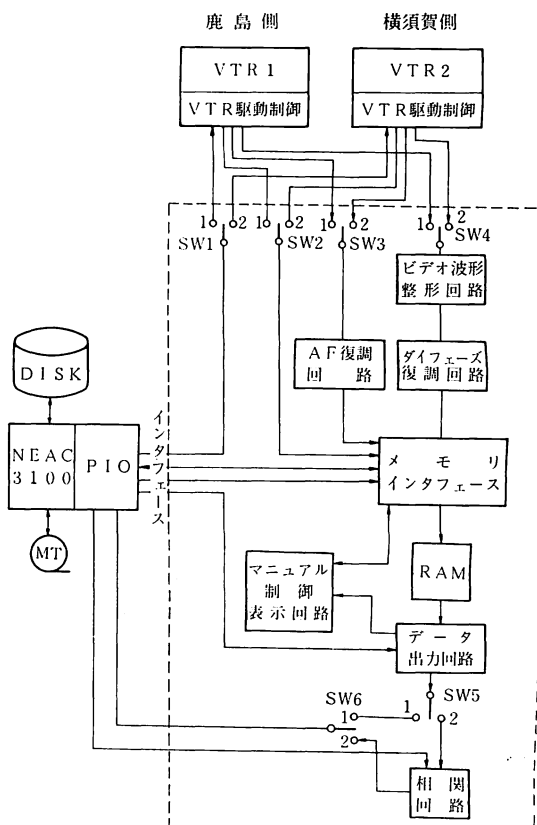
今回開発したシステムでは、VTRに記録するまでのプロセスは、既に海外で行われている本格的なNRAOのMark II⁽¹⁾の手法と同様であるが、VTR記録の再生から相関までの操作では、バッファメモリとしてRAMを用いた、オフラインの相関処理をする方法をとった。

第1図に、本システムのブロック図を示す。各部の詳細な説明は、次節以降に述べることとして、ここでは処理方法の概略を説明する。

処理は大きく二つのプロセスに分けられる。第1段階では、鹿島側のVTRデータの処理を行う。第1段階では第1図のSW1～6は全て“1”側にセットされる。計算機の命令により、VTR1がPLAYし、オーディオ信号とビデオ信号がそれぞれSW3とSW4を経て、再生相関部に取り込まれる。ダイフェーズ化されたビデオ信号は、波形整形回路で波形のなまりを整形され、ダイフェーズ復調回路でNRZ信号に変換される。NRZ信

号はメモリーインターフェースで、オーディオ信号とタイミングを調整されてRAMの中に取り込まれる。

オーディオ信号はやはりダイフェーズ復調された後、メモリーインターフェースを経てRAMに取り込まれる。利用者は相関をとるべきデータの時刻をマニュアル制御表示回路から設定することができる。つまり、RAMに入ったデータの時刻符号が、利用者の設定した時刻符号と一致するとRAMの内容は保存され、データ出力回路を経て計算機に格納される。以上が第1段階である。



第1図 VTR再生相関部ブロックダイアグラム

*鹿島支所 第三宇宙通信研究室

次の第2段階、つまり横須賀側の処理では、SW1～6の全スイッチを2側にsetする。第1段階と同様なプロセスでRAMに取り込まれたデータは、時刻符号が設定値に一致すると相関処理に移る。第1段階で取り込んだ鹿島側データとの相関をとりながら、相関結果を計算機の磁気テープ装置に記録してゆく。相関処理はハードでもソフトでも可能である。

以上述べたプロセスでは、VTRドロップアウトについて触れていない。ドロップアウトについては本章、6.で説明する。

3. データ復調整形部

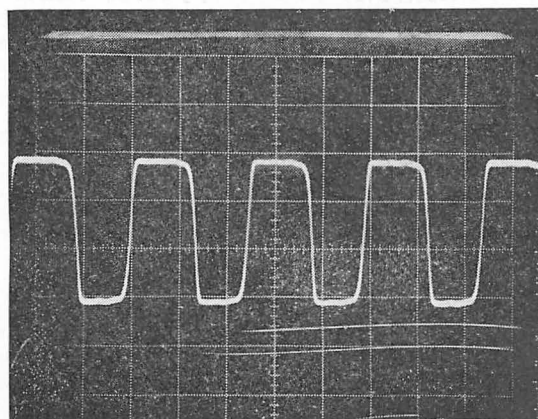
3.1 VTR出力信号の波形整形

データを記録するVTRとして TOAMCO-VR 489 DR 一を使用した。このVTRは、第1表に示すような特性をもっている⁽²⁾。今回の実験のために、特にビデオ

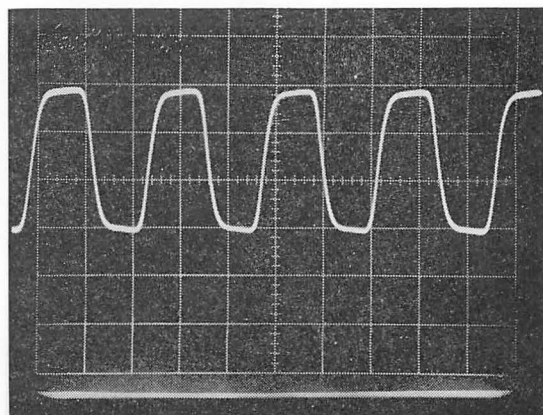
第1表 VR489DR の特性

ビデオ周波数帯域	10 kHz～6 MHz
オーディオ周波数帯域	70 Hz～10 kHz
ワウフラッタ	0.3%以下 rms
同期制御	複号同期, 外部同期, キャプスタンサーボ リモートコントロール可能

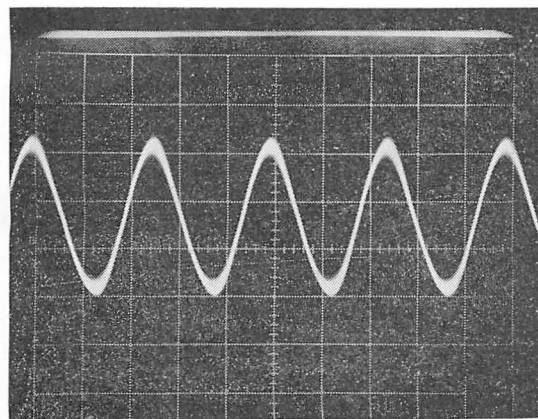
周波数帯域幅を広げるための改造をしている。改造の第1点はFM変調方式をやめて直接記録を可能にしたことであり、第2点はイコライザアンプや記録電流アンプを全面的に作り直したことである。この二つの改造によりビデオ帯域として9 MHz (3 dB down) を得ている(第2図参照)。しかし、帯域を広げたために3 MHzと7 MHzの付近にリップルが現れている。VTR記録の特殊性から、帯域を広げることと、リップルを小さくすることとは両立し難いので、本装置では帯域拡大を優先し、この



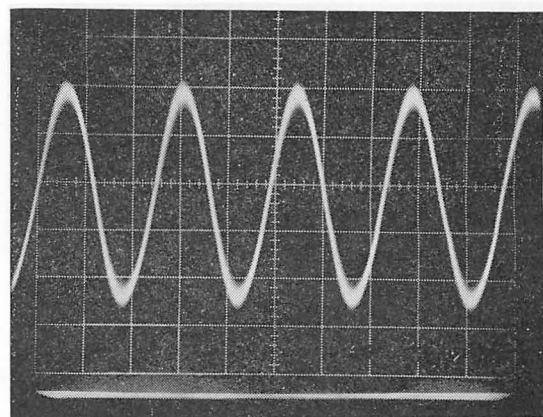
2 MHz 入力波形 200 n sec/div



4 MHz 入力波形 (100 n sec/div)



2 MHz 出力波形 (200 n sec/div)

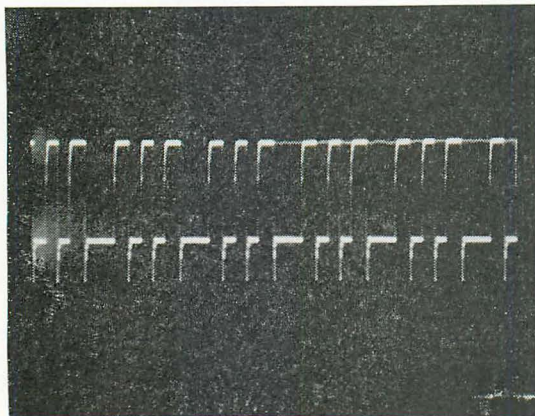


4 MHz 出力波形 (100 n sec/div)

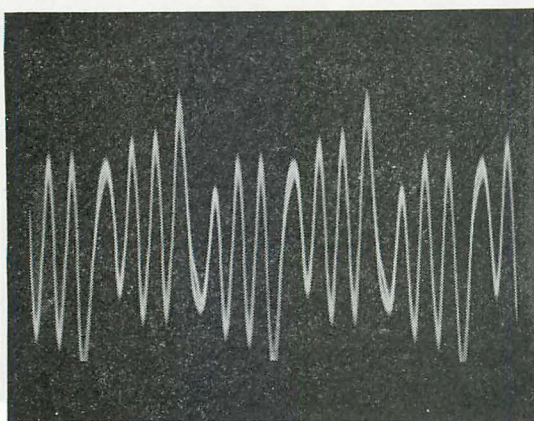
第3図(a) 2 MHz 入力によるVTR入出力波形の比較

第3図(b) 4 MHz 入力によるVTR入出力波形の比較

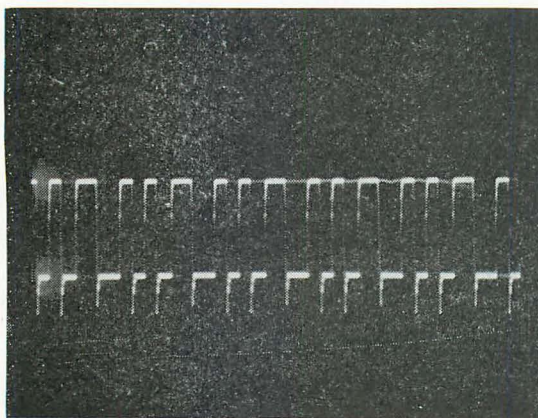
程度のリップルは止むを得ないとした。このリップルがデータの位相ひずみを生み出して、VTR再生時のドロップアウトの原因になっていることも考えられる（本章 6. 参照）。



第4図(a) 混合波形入力

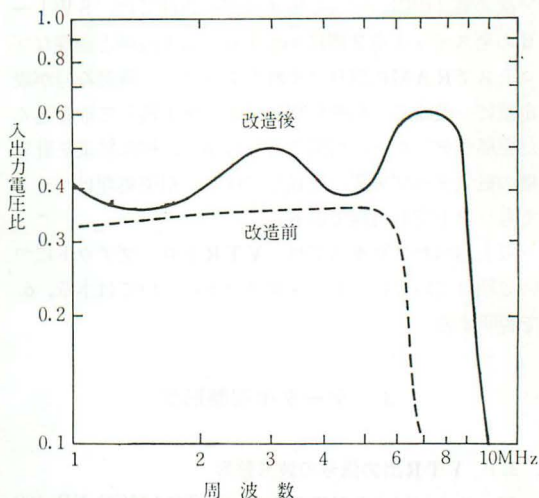


第4図(b) VTR出力信号



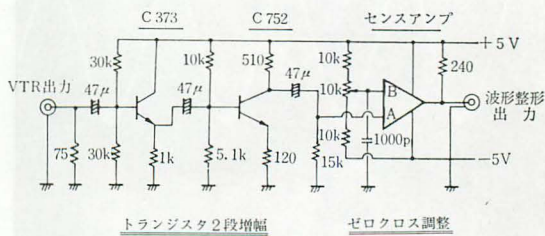
波形整形信号

第4図(c) 混合波形によるVTR入出力波形の比較



第2図 VR. 489-DR 周波数特性

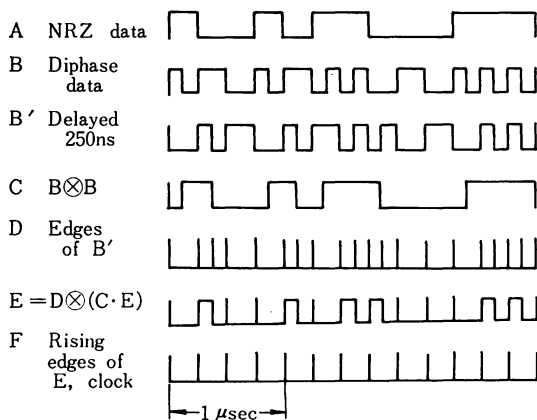
VTRに記録するデータは、2 MHzと4 MHzの矩形波がランダムに混合したダイフェーズ信号である。4 MHzの3倍高調波が通らない9 MHzの帯域幅では、通過に伴う波形ひずみは、かなり大きなものになる。第3図は、2 MHzと4 MHzの矩形波について、VTRに記録する波形とその再生波形の比較をしている。2 MHz、4 MHz いずれも高調波成分が失われて、正弦波に近くなっている。単一周期の単純な波形の場合には、矩形波に整形するのは非常に簡単であるが、ダイフェーズ信号のような不規則な矩形波列の場合には、再生波形は、第4図(b)のように位相振幅両方ともに規則性を失うので整形は容易ではない。第5図に、正確で微妙な波形整形調整をするための回路を示した⁽³⁾。トランジスタ2段で十分に増幅したのちセンスアンプでゼロクロスレベルの調整をする。その結果、第4図(c)のような出力波形が得られる。同図(a)の入力波形と比較すると、矩形波の duty ratio が $\pm 10\%$ 程度 (± 30 n sec 程度) 変化していることがわかる。これ以上の改善はアナログ的には困難であるので、3.2 ダイフェーズデータの復調回路でデジタル的に解決している。



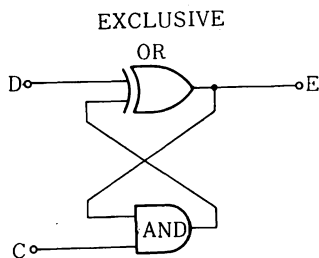
第5図 VTR出力の波形整形回路⁽³⁾

3.2 ダイフェーズデータの復調回路

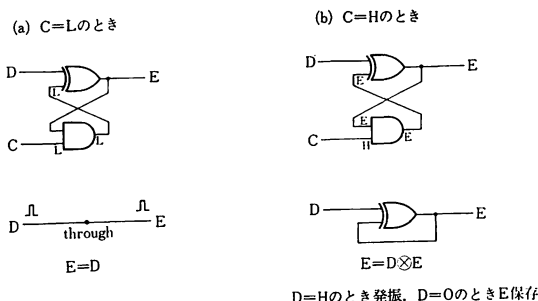
第6図に、NRZデータの変復調の原理を模式的に示す⁽¹⁾。AのNRZデータをダイフェーズ変調するとBになる。つまり、NRZがLレベルのときにはビットの立ち上りで遷移させる。また、Hレベルのときには、ビットの立ち上りとビットの中央で遷移させる。これはパルス幅変調の一種である。この変調データを復調するために遅延検波を行っている。例えば、第6図Bの信号を1ビット250 nsecだけ遅らせたB'の信号を作り、BとB'の排他論理和の否定をとる。すると、C'のように、元のNRZデータに比べて半ビット遅れたNRZデータが復調できる。ただし、VTRの再生信号には本



第6図 ダイフェーズ変復調模式図



第7図 ダイフェーズ復調回路



第8図 ダイフェーズ復調回路の動作

章, 3.1 で述べたパルスの duty ratio の変動があるために、Cのデータには、40~50 nsecの幅をもつ「ひげ」がビットの端に立つことがある。この「ひげ」はデータ復調を誤らせる原因となるので、Cのデータを積分回路に入れて「ひげ」を消している。しかし、この積分回路は、必要な信号波形もなまらせるので、Cのビット列をビットの中央で正確にサンプルできるクロックパルスを再生する必要がある。このクロックの発生方法は、次のとおりである。

- (1) B'を微分回路に通し立ち上り、立ち下りを正極性パルスD列に変換する。
- (2) 式(1)で与えられるフィードバック論理式によってEを得る。⊗は排他論理和、*は論理積を示す。

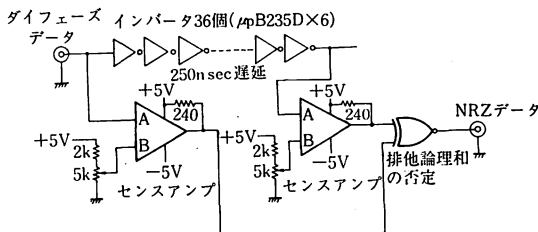
$$E = D \otimes (C * E) \quad \dots\dots(1)$$

- (3) Eを微分して、立ち上り端をF正極性パルス列として取り出す。

以上の方法で得られたパルス列Fが、所望するクロック信号である。

(1)の論理式を、ゲートを使って表せば、第7図のようになる。これはフリップフロップの変形種と考えられる。C=0の場合と、C=1の場合に分けて、このフリップフロップの機能を図示したものが、第8図(a),(b)である。C=0のときにはE=D、つまり素通り(through)状態である。C=1のときにはE=D * Eとなるので、D=1にセットすればフリップフロップは自由発振状態になる。C,D両信号ともに立ち上りが鋭く、ゲート内遅延が小さいときには、DのクロックパルスによりEは反転する。D=0であれば、Eは保存される。以上のことからEの信号波形を理解することができる。

本装置では、BとB'の遅延量250 nsecをTTLインバータを36個直列にして得ている。また、立ち上りを鋭くするために、必要なところにはショットキータイプのゲートを用いている。実際の回路図を、第9図に示す⁽³⁾。クロックによるEの反転のレベル条件が厳しいので、排他論理和に inputsする前にセンスアンプを通してレベル調整を容易にしている。



第9図 ダイフェーズデータの復調回路

3.3 ビデオ信号とオーディオ信号のバランス

ビデオテープにデータを記録する方式として、今回のシステムでは Mark II 方式に近いビデオ、オーディオ両トラックの同時記録方式を選んだ。これは、将来の大陸間 V L B I において基本方式となるであろう Mark II 方式に、できるだけ近いシステムを目指すのが、今回の実験の目的の一つであったからである。第10図に、今回の我々の記録方式を図解した。オーディオトラックには、時分秒やフレームナンバ (60フレーム=1秒) から成る時刻符号を記録し、ビデオトラックには高速サンプルデータを記録する。オーディオ帯の記録速度は2 Kbits/秒であり、ビデオ帯は4 Mbits/秒である。両者ともダイフェーズ変調をかけて記録する。また、同時に原子標準に同期した60 Hzの負極性パルスを記録し、再生時のサーボ同期のタイミングとして利用している。

ビデオデータ、オーディオデータの両方ともにフレームの先頭にシンクワードを置いて、再生時に両者が独立にフレーム同期をとれるようにしている。これは、今回使用した V R - 489 D R のキャプスタンサーボ系が、テープ走行時の微振動の発生を防ぎきれないためである。この微振動は、オーディオヘッドとビデオヘッド間のテープ走行時間に変動をもたらし、両データ間に2~3 m secの時間のずれを引き起こす。したがって、一方のフレーム同期によって、もう一方のトラックのデータの同期をかけることは非常に困難である。

ビデオ、オーディオそれぞれ独立に同期がかけられる場合でも、両データ間の時間のずれはデータ再生を困難にする。この場合には、ビデオヘッドのコントロールトラックに対する回転位相のトラッキングを行うことによ

って、半ば試行錯誤的に最適位置を決めながらデータを収得してゆく必要がある。

今回の再生関連部作成にあたって、最も難しかったのが、このオーディオとビデオのバランスの問題であった。このバランスの安定度がシステム全体の安定度を決定したといえる。したがって、安定な装置系を作るためには、サーボ系の高度な V T R を使用することが望ましいことが明らかになった。

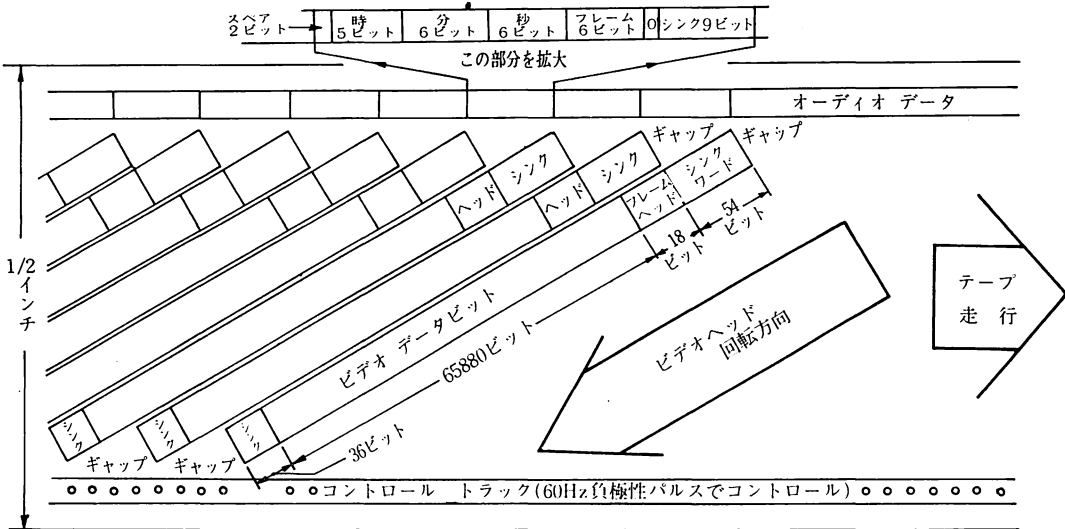
4. 相 関 処 理

4.1 ワイヤメモリ

V T R から読み出したデータを、一時記憶させる R A M としてワイヤメモリ (H S - 600 E) を使用している。第2表に、このメモリの電氣的仕様を示す⁽⁴⁾。このワイヤメモリを使用した理由は、データを処理する計算機— N E A C - 3100 が、18ビットワードマシンであるため、

第2表 H S - 600 E の電氣的性能

記 憶 素 子	織成型電着磁性線 非破壊読出型記憶 (NDRO)	
記 憶 容 量	4 Kワード 18ビット	
サイクル 時間	書込サイクル時間	600ns
	読出サイクル時間	600ns
ア ク セ ス 時 間	300ns	
ア ク セ ス ・ モード	ランダム・アクセス	
インターフェイス・レベル	T T L 負論理	
	“0” +2.4~+4.5 V	
	“1” 0~+0.5 V	



第10図 V T R の 記 録 状 態

メモリもワードが18ビットである方が都合が良い点と、サイクルタイムが十分高速である点を考慮したためである。このメモリはRAMとしてもROMとしても使用できるが、本装置ではRAMとして使用している。

4.2 コアとRAMを用いた相関

2. で述べたように、相関はハード的にもソフト的にも、どちらでも行うことができる。ハード的な相関について、その処理方法を図解にしたものを、第11図に示す。

6. で説明するメインルーチンの流れに従って、鹿島側の1フレーム分のビット列を記憶したNEAC-3100のコアメモリと、横須賀側のビット列を記憶したRAMとの間で相関計算をする。相関は排他論理和の否定(第11図のEx-NOR)のゲートを用いて行う。第11図に示すように、コアメモリもRAMも1ワード(18ビット)パラレルに処理する。Ex-NORの各出力データは、8ビットのバイナリカウンタで積分された後、1ワード分の積分をして、その値をP I Oを経由してNEAC-3100に取り込む方式をとっている。

一般に2組の n 個のデータ($x_i, i=1, n$), ($y_i, i=1, n$)の相関値は、 r 次式で与えられる⁽⁵⁾。

$$r = \frac{\sum_{i=1}^n (x_i - \bar{x})(y_i - \bar{y})}{(n-1) S_x S_y} \quad \dots\dots(2)$$

ここで S_x, S_y は x_i, y_i の標準偏差であり、 $\bar{x}, \bar{y}$ は x_i, y_i の平均値である。今回の方式では1ビット相関であるから、 x_i, y_i は0と1のランダムなビット列である。

したがって、

$$\bar{x} = \bar{y} = \frac{1}{2}, \quad \dots\dots(3)$$

$$S_x = S_y = \frac{1}{2} \sqrt{\frac{n}{n-1}} \quad \dots\dots(4)$$

となるので、(2)式は、次のように変形できる。

$$\begin{aligned} r &= \frac{4}{n} \sum_i \left(x_i - \frac{1}{2} \right) \left(y_i - \frac{1}{2} \right) \\ &= \frac{4}{n} \left\{ \sum_i x_i y_i - \frac{1}{2} \left(\sum_i x_i + \sum_i y_i \right) + \frac{n}{4} \right\} \\ &= \frac{4}{n} \sum_i x_i y_i + 1. \quad \dots\dots(5) \end{aligned}$$

(5)式の第1項は x_i と y_i の積であり、AND(真値表第12(a)図)に対応すべきものである。しかし、今回はEx-NOR(真値表第12(b)図)を用いている。その理由は、Ex-NORを用いると(f)式は、更に簡単になり、かつ、相関効率が高くなるからである。

Ex-NORの真値表の0を-1と読み替えると、第12(c)図のようになる。これは x_i, y_i についての代数的な積に等しい。この場合には、

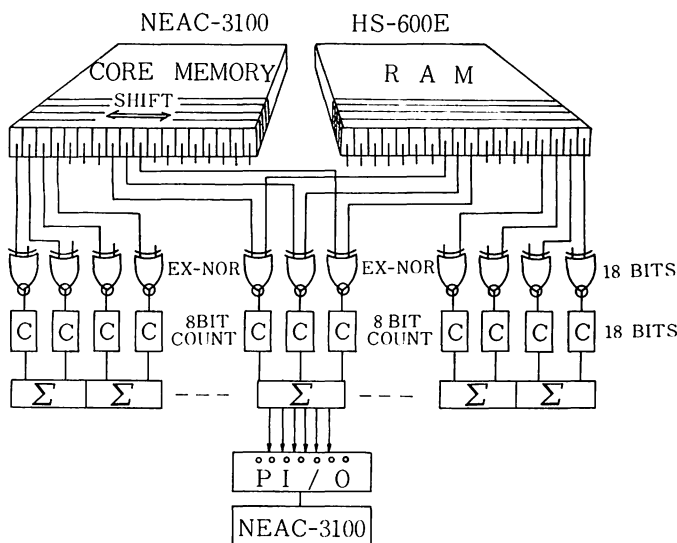
$$\bar{x} = \bar{y} = 0, \quad \dots\dots(6)$$

$$S_x = S_y = \sqrt{\frac{n}{n-1}} \quad \dots\dots(7)$$

となるので、(2)式は、さらに簡単になる。

$$r = \frac{\sum_i x_i y_i}{n} \quad \dots\dots(8)$$

(5)式と(8)式を比較すればわかるように、Ex-NORを使用した方が、相関の効率が4倍になり、かつ、オフセッ



第11図 相関積分回路の模式図

$x_i \backslash y_i$	0	1
0	0	0
1	0	1

(a)

$x_i \backslash y_i$	0	1
0	1	0
1	0	1

(b)

$x_i \backslash y_i$	-1	1
-1	1	-1
1	-1	1

(c)

第12図 1ビット相関の真理値表

ト量を省略することができる。

5. オペレーションモード

4 MHzという高速度で、かつ、66000 bits という大量のデジタル信号の相関処理が必要であるため、次に述べるような二つのチェックモードで動作を1段階ずつ確認しながら装置の開発を進めた。

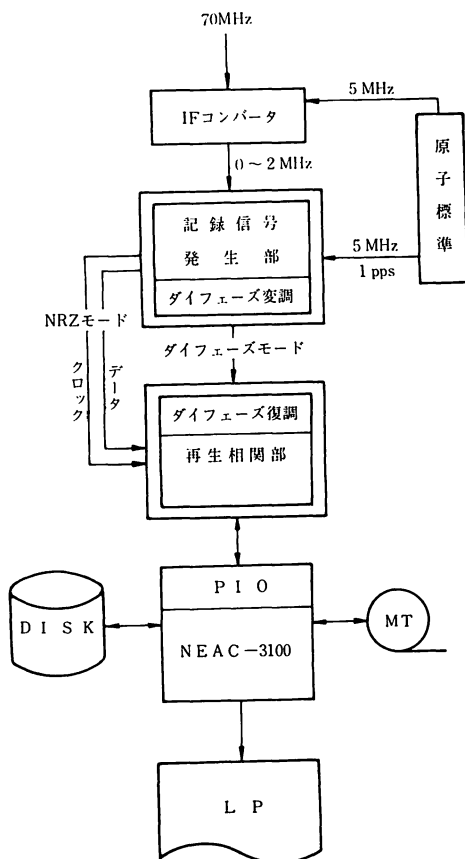
第1のチェックポイントは、4 MHzの高速データを記録信号発生部から直接再生相関部のRAMに取り込めるかどうかという点である。NEAC-3100にはDMA (direct memory access) 機能が無いので、特にこのチェックが重要である。第2のチェックポイントは、ダイフェーズ変復調が正常に動作するかどうかという点である。本章 3. で述べたとおり、特にダイフェーズ復調回路のゼロクロス条件が厳しいので、定期的なチェックが必要である。第1のチェックモードをNRZモード、第2チェックモードをダイフェーズモードと呼んでいる。

5.1 NRZモード

このモードは、最もシンプルな構成によって、特にメモリ、マルチプレクサ関係のチェックをするためのモードである。第13図に、NRZモードとダイフェーズモードとの関係を示す。両モードともにVTRを経由せずに記録信号発生部と再生相関部が直接結ばれている。そして、ダイフェーズ変復調回路をバイパスしているモードがNRZモードであり、ダイフェーズ変復調を行っているモードがダイフェーズモードである。チェックはNEAC-3100のラインプリンタにビット配列を打ち出して行う。この目的のために 便利な サブルーチン BITLPO の機能については、本章 6. で説明する。また、コンピュータを接続しなくても、内蔵の機能によって同様のチェックをすることが可能である。このコンピュータ代替機能は、NEAC-3100に対応する計算機の無い工場においてシステムチェックをする上で大変に役立った。

5.2 ダイフェーズモード

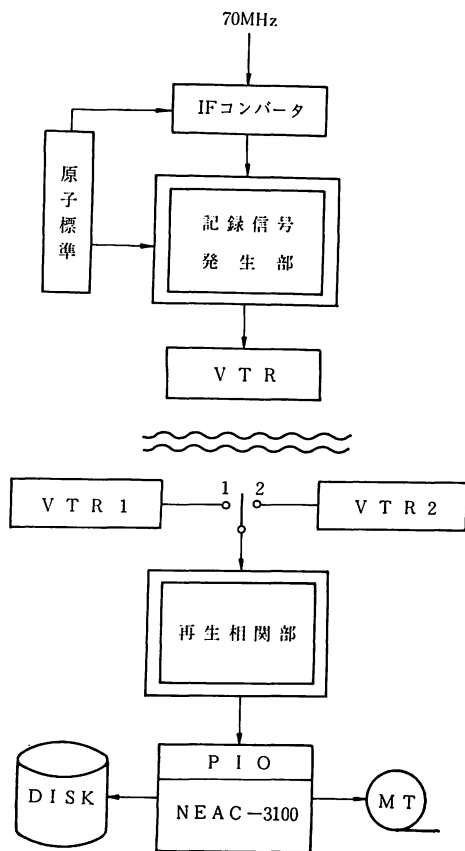
NRZモードのチェックが良好であれば、次にダイフ



第13図 NRZモードとダイフェーズモード

ェーズモードのチェックを行う。接続は、第13図のとおりである。NRZモードでは、データラインのほかに、データをサンプリングするタイミングパルス4 MHzが必要であるが、ダイフェーズモードでは、データラインにサンプリングクロックの情報が入っているので、ダイフェーズデータの一系列の接続のみで動作させることができる。

VTRを経由した動作のチェックのためにダイフェーズモードでは、接続経路に低域濾波器を入れたり、イコライザアンプを入れたりして、VTRの動作状態のシミュレーションチェックを行うことも可能である。



第14図 プログラムモード

5.3 本動作プログラムモード

本動作、つまり、VTRの記録再生を含めて相関処理をするモードを、プログラムモードと呼ぶ。プログラムモードの場合にはVTRのジッタや帯域の狭さ等により、非常に厳しい条件の中でデータの再生をしなければならない。5.1, 5.2 で述べた二つのチェックモードをVLBPRO 利用しながら、次節で述べる再生相関用ソフトウェアを有効に使用して、確実な相関処理を可能にしている。

第14図に、プログラムモード時の装置の接続方法を示す。鹿島・横須賀両局において、記録信号発生部の出力をVTRに記録して、実験終了後、両方のVTRを鹿島に集めて再生相関部による相関処理をした後、NEAC-3100の磁気テープ装置や、DISK装置に相関値を収納する。

6. 再生相関用ソフトウェアの構成

再生相関部ソフトウェア VLBPRO は、メインルーチンとビット配列チェック用サブルーチン BITLPO から

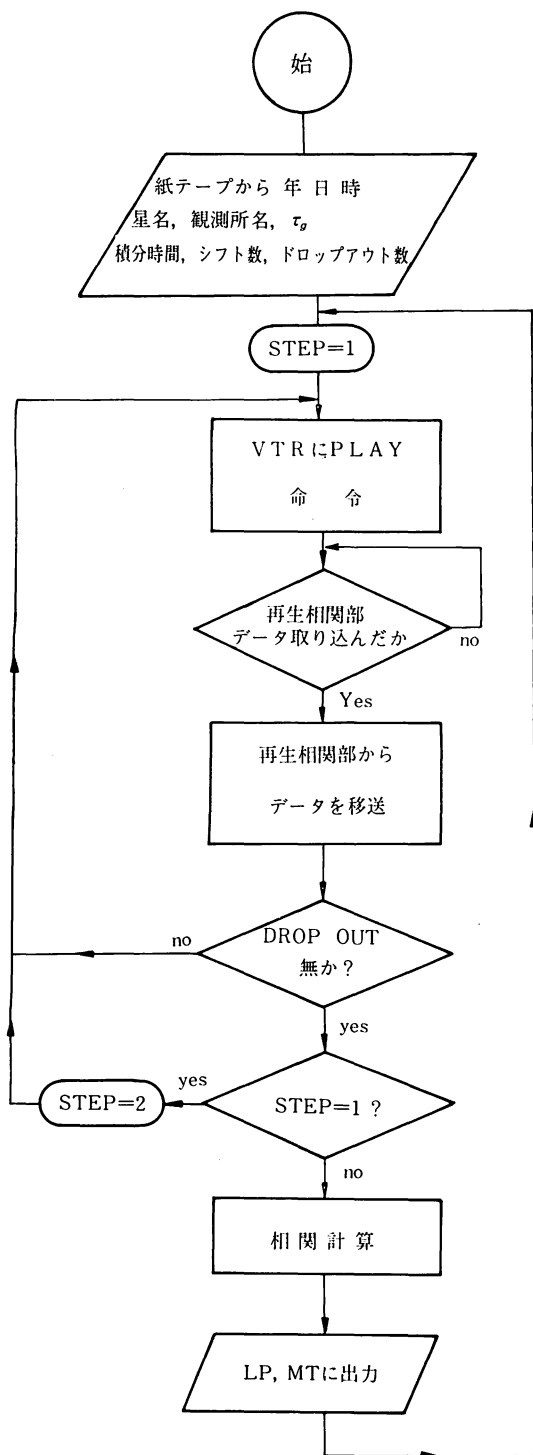
構成される。メインルーチンは再生相関部をコントロールしたり、データのやりとりの制御を行う。サブルーチン BITLPO は、メインルーチンの重要なポイントにおいて、コア内のビット配列のチェックと、使用するレジスタ数のモニタを行う。

6.1 メインルーチン

メインルーチンの粗フローチャートを、第15図に示す。最初に、紙テープから相関処理に必要なパラメータと識別符号を読み込む（紙テープから入力すべきデータについては、第3表の説明を参照のこと）。次に、変数STEPを1にsetする。これは第1段階、つまり、鹿島側のデータ処理を開始することを意味する。鹿島側のVTRにPLAY命令がかかり、VTR上の1フレーム分のデータがRAMに書き込まれる。再生相関部では、使用者が指定した時刻と一致するかどうか比較し、一致するまでRAMの内容を書き改めてゆく。時刻の一致を確認すると再生相関部は、RAMの内容を保存し計算機にアンサを返す。アンサーで待機していた計算機は、RAMのデータをコアメモリへ移送する。66,000ビットの大量の情報であるので、命令と応答を繰り返して正確に移し終える。コアに入ったデータはドロップアウトチェックがなされ、良好であれば次のステップに進み、ドロップアウトがあった場合には、VTRのPLAYと命令に戻って同じプロセスを繰り返し、ドロップアウトチェックが良好になるまで続ける。次に、変数STEPを2にsetする。つまり、横須賀側のVTRデータの処理となる。処理プロセスは第1段階と全く同様である。ドロップアウトチェックが終了すると、次に相関処理となる。相関処理はソフト的にもハード的にも可能である。相関積分時間やビットシフト量は任意に変えることができるが、通常は積分時間を $450\mu\text{sec}$ 、ビットシフト量は ± 36 ビットとしている。相関値はラインプリンタと磁気テープに出力している。

第3表 紙テープから入力するパラメータ

パラメータ	機能
τg	伝搬経路の長さの差の予測値をワード単位で表す。
積分時間	相関データを積分する時間(ワード単位)
シフト数	τg の予測値を中心に前後にシフトするワード数
ドロップアウト数	ドロップアウトチェックルーチンを抜出すリミットワード数



第15図 VLBPRO メインルーチン フローチャート

6.2 ビットチェック用サブルーチン BITLPO

VLBPRO のメインルーチンの中で、再生関連部からのアンサを待っている期間中に、ビットチェック用サブ

ルーチン BITLPO を利用できる。これは、ドロップアウトをチェックし、システムをセットアップするのに大いに役立つ機能である。

BITLPO には、次の三つの機能がある。

(1) 各種レジスタのモニタ機能

BITLPO は、第4表に示す8種のレジスタの内容をモニタすることができる。SCはメインプログラムからアンサルーチンに移った番地を示しており、BITLPOのリターンの番地にも対応する。ANSはアンサルーチンのレベルを示している。メインプログラムでは、0～6の7種のアンサレベルを用意しており、BITLPOの利用者は、SCとANSから、サブルーチンのリンク状態やPI/Oや再生関連部の状態を正しくつかむことができる。第5表は、7種のアンサレベルの機能について整理したものである。

第4表 BITLPO のモニタ レジスタ

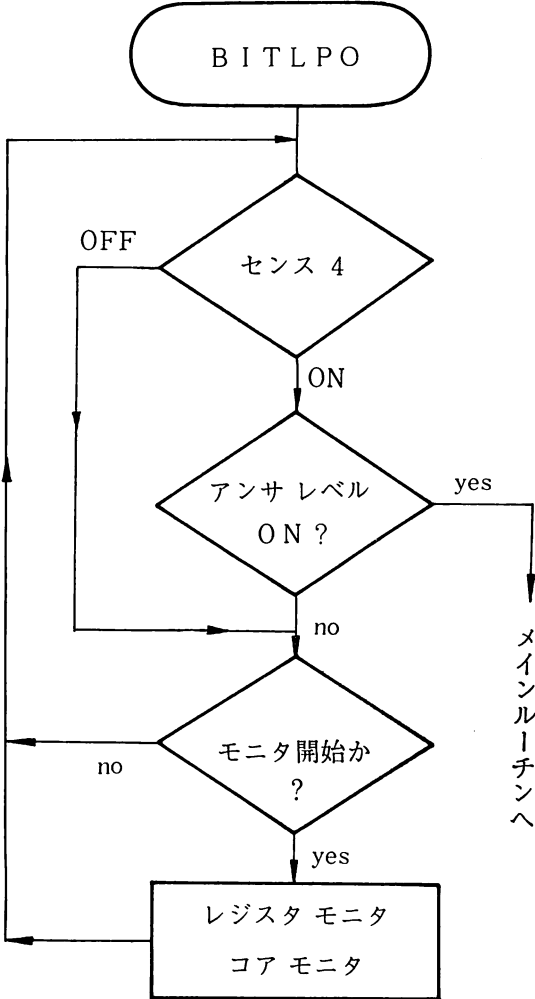
レジスタ名	機 能
SC	アンサルーチンのもどり番地
ANS	アンサレベル (第5表参照)
X1	メインルーチン カウンタ
X2	ドロップアウトルーチン カウンタ
X3	読み込ワード カウンタ
X4	積分回数カウンタ
X5	ビットシフト カウンタ
DN	ドロップアウトリミッタ

第5表 VLBPRO のアンサ レベル

アンサレベル	機 能
A0	cpu RUN WAIT の制御
A1	VTR サーボ同期 ON—OFF
A2	RAM データ取り込み終了
A3	RAM データ cpu 移送準備
A4	cpu データ相関器出力準備
A5	相関終了
A6	1フレーム終了

(2) 受動 wait と強制 wait

メインルーチンから BITLPO サブルーチンに入ると、指定したアンサレベルがONかOFFかで、次の動作が決まる。OFFの場合には wait 状態となり、モニタ機能を受け付ける状態になる。これを受動 wait と呼ぶ。また、これよりも優先度の高い強制 wait も用いる



第16図 wait 状態のフローチャート

ことが可能である。センスSWの4をONにしておけば、BITLPO ルーチンに入ると直ちに wait 状態に入る。そしてモニタ機能を受け付けることが可能である。受動 wait の場合には、NEAC-3100コンソールパネルのBaseチャンネルのランプが点灯するので、強制waitと容易に区別できる。wait 状態の優先度を決める部分のフローチャートを、第16図に示す。

(3) コアモニタ作業

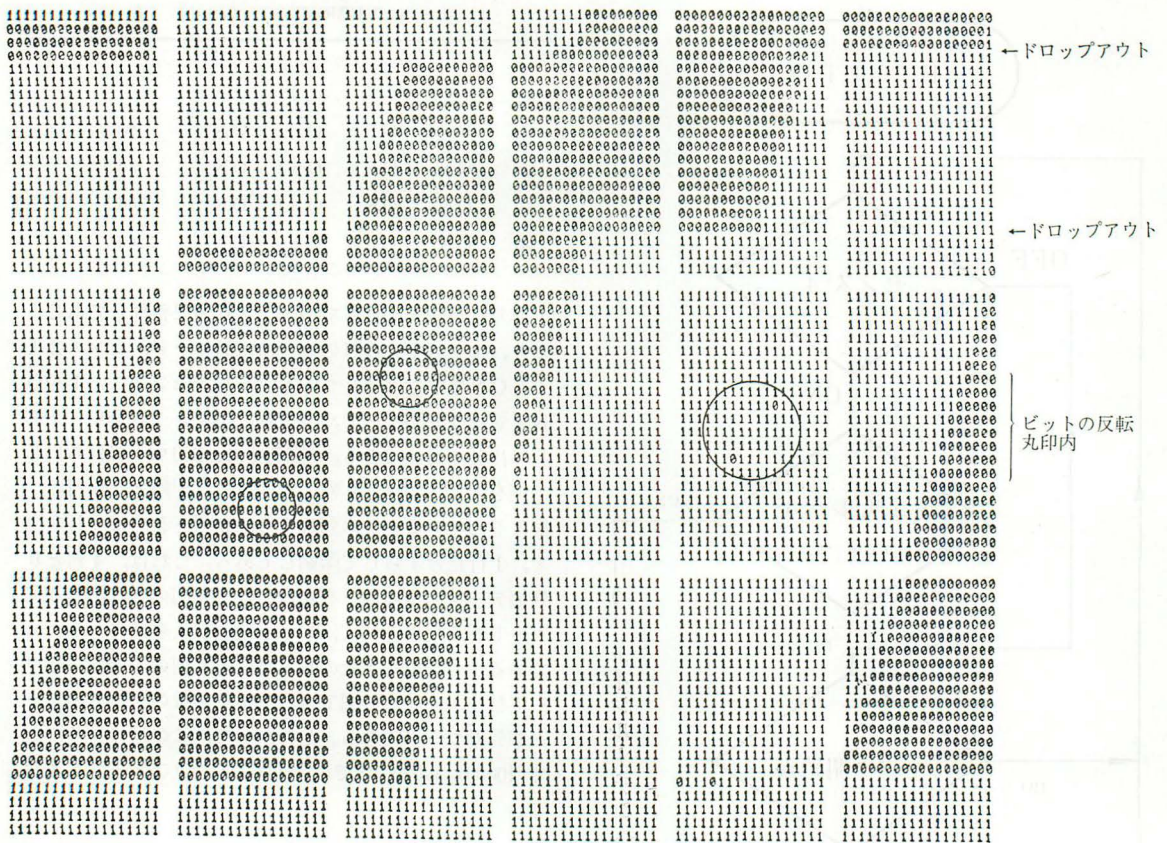
コアモニタの目的は、コア内のビット配列状態が指定どおりかどうか、プログラムシーケンスに誤りは無いかどうかを正確に識別するためである。(2)で述べた、強制又は受動 wait 状態において、センスSWの選択により3種のコアモニタを走らせることができる。このコアモニタの特徴は、2進ビット表現でアコの内容を明示できることであり、通常の8進や16進表現に比べて直観的

第6表 VLBPRO センス スイッチ表

	センス スイッチ				打ち出しワード数
	1	2	3	4	
(1)	OFF	OFF	OFF	ON	wait
(2)	ON	OFF	OFF	ON	30ワード
(3)	ON	ON	OFF	ON	300ワード
(4)	ON	OFF	ON	ON	3200ワード

で非常に見やすくなっている。第6表に整理してあり、センス1をONの場合には30ワード、センス2と1をONにすれば300ワード、そしてセンス3と1をONにすれば3200ワード、つまり、1フレーム全ビットの打ち出しが可能である。第17図に、300ワード打ち出しの例を示す。右から0列、1列、…、5列まで6列に、縦に並んでいる。この列のうち、0列と5列は同じ内容で、1行だけずらして印刷してある。これは、4列と0列のデータのつながりを知るのに、4列のつながる0列ワードを5列にとれば、ビット検査が大変楽になるためである。右端の4けたの数字は、第0列の先頭からのワード数を示す。この図では、一番下の行の一番右のワードが先頭ワードである。したがって、この図の打ち出しでは0000から0300までの301ワードのコアの内容がわかる。

VLBIにおけるビット誤りの許容性は2種に分けて考える必要がある。厳しい条件を課せられるビット誤りとしてはビットの“抜け”、つまり、ドロップアウトがある。このドロップアウトに対しては許容性は0である。つまり、VLBIでは1ビットでも抜ければ相関は全く有用性を失う。一方、ビットの反転に対する許容性はかなり緩やかである。我々は、1ワード18ビット内で2ビットまでのビットの反転を許しているが、相関動作には、ほとんど支障は現れていない。VLBIシステムのセットアップを進めてきた過程は、ドロップアウトとビット反転を区別するためのコアモニタ作業による非常に細かい作業を繰り返してきた過程とも考えられる。第17図の例では、0000から0021までの22ワードはデータを識別するための情報であり、0022ワード以降が相関信号である。この例では、22.5μsecの周期をもつ duty factor 50%のパルスをVTRに記録し、それを再生したものである。0ビットと1ビットの斜めの帯は、それぞれパルスのL-レベル、H-レベルを示している。この例でも、上に述べた2種類のビット誤りが現れているが、0208~0210ワードの区間と0282~0284ワードの区間に発生しているドロップアウトは、10ビット以上の“ビットづまり”を引き起こしており、もしこのデータが実験の



第17図 ビット配列チェック出力の例

観測データであれば、200ワード以上は全く相関をとることはできない。

VTRを映像再生に用いるときには多少のドロップアウトが発生しても、同期がとれておれば実用上問題はないが、相関データを記録する場合には大問題であるので十分な注意が必要である。

6.3 ドロップアウトの除去

これまで述べたことから、ドロップアウトをできるだけ除去して相関をとる必要性は明らかである。ドロップアウトは、本章、3.2で述べた、クロック再生のハードの部分でクロックの“抜け”として現れるので、ハードでもフライホイール効果をもったフィルタによって、4～5ビットのクロックの“抜け”は補正している。しかし、フライホイール効果を強めて、もっと長いドロップアウトを補正しようとする、フィルタの狭帯域化によって、今度はワウフラッタの打ち消し効果が無くなる。したがって、長いドロップアウトの除去は、ソフトウェアの方で行う必要性がでてくる。このソフトウェアには、

次の二つの条件が課せられる。

- (1) 処理時間が短いこと。
- (2) ビット反転には無関係であること。

以上の条件を満足するために、我々はハミング距離⁽⁶⁾という概念を導入する。例えば、ワード $\vec{W}_1$ と $\vec{W}_2$ に対して、ハミング距離 $D(\vec{W}_1, \vec{W}_2)$

$$\begin{aligned}\vec{W}_1 &= (001100111000110011), \\ \vec{W}_2 &= (001100101010110011), \\ D(\vec{W}_1, \vec{W}_2) &= 2,\end{aligned}$$

であるとする。つまり、 $\vec{W}_1$ と $\vec{W}_2$ の二つのビット列の中の不一致ビット数がハミング距離である。VLBPROでは、ハミング距離をドロップアウトの判定基準として、 D が2以下であればドロップアウトが無く、3以上であればドロップアウトが発生しているとしている。

6.4 VLBPROの規模と処理速度

VLBPROはNEAC-3100のアセンブラSPASE-II⁽⁷⁾言語で書かれている。NEAC-3100は26mアンテナ追

尾用として設置したプロセスコンピュータであるために、アセンブラの命令数や、その能力が相関処理用としては不十分である。例えば、ドロップアウトチェックにおいて、不一致ビットを調べるのに都合の良い排他論理和の命令をもっていない。また、固定小数点乗除算に $20\mu\text{sec}$ 以上かかる。これらのことから、VLBPROは約980ステップの大きなプログラムになっており、また、その処理速度は1フレーム(60分の1秒)の相関処理をするのに、ドロップアウトチェックを含めて約10分かかる。したがって、本装置の処理速度は、およそ実時間の3万6千倍である。

7. コンピュータコントロール

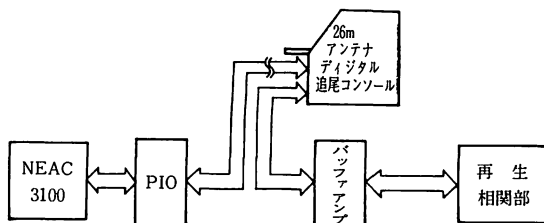
NEAC-3100と再生相関部を結ぶ制御系統図を、第18図に示す⁽⁶⁾。PIOから制御機器までのケーブル長は15mと規定されているので、本システムでは、バッファ回路を入れてケーブル長を約30mに延長している。都合の良いことにPIOの外部接続端子を、26mアンテナのプログラム追尾コンソールから全てとることができたので、第18図の系統図からわかるように、同コンソールを経由している。

第7表 PIOの入出力規格

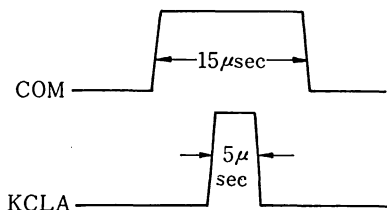
	入 力	出 力
信号レベル “H”	+12~15V	+12~13V
“L”	0~1V	0~1V
インピーダンス “H”	1.7k Ω	1.7k Ω
“L”	100 Ω	100 Ω (許容電流 3mA以下)

7.1 命令とそのインターフェース

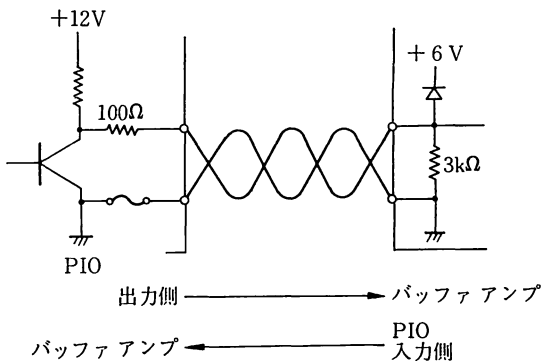
コンピュータからの命令を出力するためにPIOのDOLブロックを使用する。PIO保守説明書によれば、DOLブロックはレベル出力回路となっているが、実際に利用するにはクリアパルスKCLAのタイミングでサンプルする必要がある。命令出力COMとクリアパルスKCLAのタイミングを、第19図に示す。命令出力のちょうど中央にクリアパルスが立っている。また、PIOとバッファアンプの接続図を、第20図に示す。PIOからの出力をON状態で3K Ω の抵抗で受け、6Vのダイオードクランプをしている。また、バッファアンプと再生相関部との間の接続図を、第21図に示す。TTLゲートの出力をトランジスタでドライブし、20mの距離を引っ張って、再生相関部の75 Ω のケーブルレシーバで受けている。クリアパルスKCLAも同様なレシーバで受



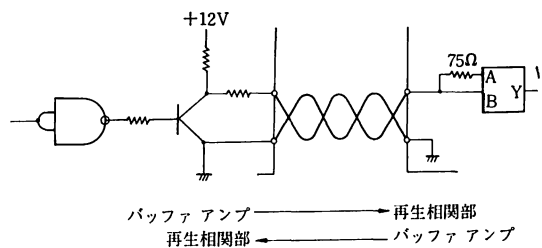
第18図 インタフェース系統図



第19図 サンプル タイミング



第20図 PIOとバッファアンプの接続図

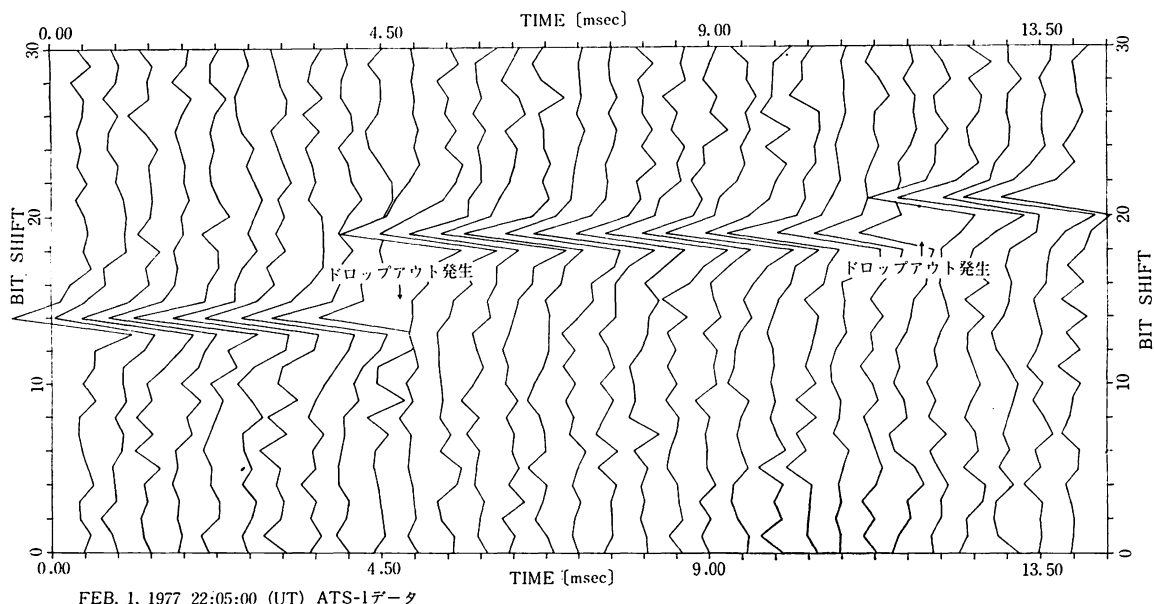


第21図 バッファアンプと再生相関部の接続図

けている。

7.2 アンサとそのインターフェース

再生相関部の処理が正しく終了すると、計算機に対してアンサを返す。再生相関部からバッファアンプへの接続は、第21図を逆に見ればよい。再生相関部の中でトランジスタドライブしたものを、バッファアンプの中でケーブルレシーバで受ける形になる。アンサをNEAC-3100に入力するためにPIOのDILブロックを利用す



第22図 相関折れ線グラフ (100 ワード (0.45 m sec) 毎積分)

る。これは、レベル信号入力回路であり、その接続図は、第20図を逆にすればよい。

7.3 相関データの記録

相関データは、ラインプリンタと磁気テープに出力する。第22図に、磁気テープに格納されたデータの1フレーム分をプロットしたものを示す。これはATS-1の相関データであるので、100ワード積分値を示す各折れ線のグラフにおいて、既に鋭い相関が現れている。0 msec から 4.5 msec までの期間では、ビットシフト14付近に負の相関が表れ、それが 4.5 msec を過ぎると19ビット付近に移動している。これが相関係数からみたドロップアウトである。11.7 msec 付近でもドロップアウトが起きていることがわかる。

VLBPRO では、ハミング距離の判定基準を用いて再生時のドロップアウトを少なくして、無駄の少ない相関処理を行っている。

8. 結 論

最低0.3秒の積分時間の必要な電波星3C273の相関検出を、本システムより成功させることができた。しかし、基礎実験用の本装置では、これ以上の長時間の積分はオペレータに大きな負担となり、実行は困難であろう。

次の段階としては、オフラインからリアルタイムの相関に切り換えて、長時間の連続相関積分の可能なシステ

ムを開発する必要がある。また、安定で確実な記録装置の開発も進める必要がある。

以上のような問題点はあったが、最初の基礎実験の相関器としてはまずまずの成果が得られた。

謝 辞

本システムを製作するにあたり、VTRと再生相関部インタフェース部分について、熱心に協力して頂いた日本通信機、新井清氏及び東芝アンペックス、西村捷也氏に深謝いたします。

参 考 文 献

- (1) Clark, B. G., Weimer, R. and Weinreb, S.; "THE MARK II VLB SYSTEM", NRAO 電子工学部門内部報告 118, 1972.
- (2) TOAMCO VR 489 パンフレット。
- (3) 日本通信機, 再生相関部完成図面, 波研仕5014号, 1976.
- (4) 東光, ワイヤメモリ HS-600E, パンフレット。
- (5) P. G. ホーエル著, 浅井晃・村上正康共訳, 初等統計学, 培風館, 昭45.2.
- (6) 宮川洋, 岩垂好裕, 今井秀樹, 符号理論, コンピュータ基礎講座 18, pp. 15-16, 昭晃堂, 1973.
- (7) NEC, NEAC-3100 SPASE-II 説明書。
- (8) NEC, NEAC-3100 プロセス制御装置説明書。