

3-3 フルデジタル通信ペイロード

3-3 Full Digital Payload

西城 邦俊 石原 秀樹 清原 章公 今井 慧

NISHIJO Kunitoshi, ISHIHARA Hideki, KIYOHARA Akihiro, and IMAI Kei

技術試験衛星 9 号機 (ETS-9:Engineering Test Satellite-9) に搭載するフルデジタル通信ペイロード (FDP:Full Digital Payload) は、通信ペイロードのフルデジタル化・大容量化技術を獲得するための機器であり、我が国の衛星メーカーが通信衛星市場において国際競争力を確保した「次世代静止通信衛星」を実現させることを可能とするための技術実証機器である。

FDP では周波数帯域幅を可変にするデジタルチャネライザ機能と通信領域を可変にするデジタルビームフォーミング機能が主要な機能になっており、これらの技術獲得と技術実証を目的にしている。

本稿では、FDP の概要、構成、機能について紹介する。

The Full Digital Payload (FDP) on Engineering Test Satellite-9 (ETS-9) is a mission payload to demonstrate the new technologies for high-throughput and fully-flexible satellite communications, and these technologies are the important keys to earn the competitiveness in the recent GEO communication satellite market. The primary functions of FDP are Digital Beam Forming and Digital Channelizing, and we will demonstrate these functions in Orbit to acquire the technology.

In this paper, we introduce the overview, configuration and functions of FDP.

1 まえがき

技術試験衛星 9 号機 (以下、ETS-9) は、「次期技術試験衛星に関する検討会報告書」(平成 27 年 4 月、平成 28 年 5 月) [1] に基づき、2017 年度から開発を進めている静止衛星である [2]。その目的は、新たな衛星バス技術やミッション技術を実証し、宇宙産業や科学技術基盤の維持・強化を図ることにより我が国の静止衛星が 2020 年代の商用衛星市場において一定のシェアを獲得し、国際競争力を向上させることにある。

静止衛星の通信ペイロードについては、2019 年頃から欧米の衛星メーカーから通信周波数や通信領域をフレキシブルに変更でき、かつ従来よりも大幅に高速・大容量通信が可能な通信衛星の投入が相次いで発表されるなど、通信ペイロードのフルデジタル化・大容量化が急速に進展してきた。このような背景を受け、我が国においても衛星メーカーが通信衛星市場において国際競争力を確保した「次世代静止通信衛星」を実現することが可能となるように、通信ペイロードのフルデジタル化・大容量化技術を獲得するべく、その軌道上実証のためにフルデジタル通信ペイロード (以下、FDP) を搭載し、早期の軌道上実証を目指すこととなった [3]-[5]。

FDP は、大きく分けて周波数帯域幅を可変にするデジタルチャネライザ技術と通信領域を可変にするデジタルビームフォーミング技術の開発・実証を目標としている。FDP の主な機能として、周波数帯域幅を可変にするデジタルチャネライザ機能、通信領域を可変にするデジタルビームフォーミング機能の 2 つがあり、それらの機能について軌道上の技術実証を行うことを目標にしている。

2 フルデジタル通信ペイロードの全体構成

FDP は、ETS-9 の開発段階からの搭載が決まっていた機器ではなく、開発途中に追加ミッションとして搭載が決まったことから、図 1 に示すようにその一部 (GW ビーム (Gate Way ビーム: フィーダリンク局との通信ビーム) 用の反射鏡を含む送受信部) に、総務省が開発して ETS-9 に搭載する固定ビームを活用する形態にて開発を行った。そのため、使用する周波数帯については固定ビームと同じ Ka 帯周波数に適用するよう開発を行った。

FDP は、通信信号のデジタル信号処理を行う DPP (Digital Payload Processor: デジタル信号処理部)

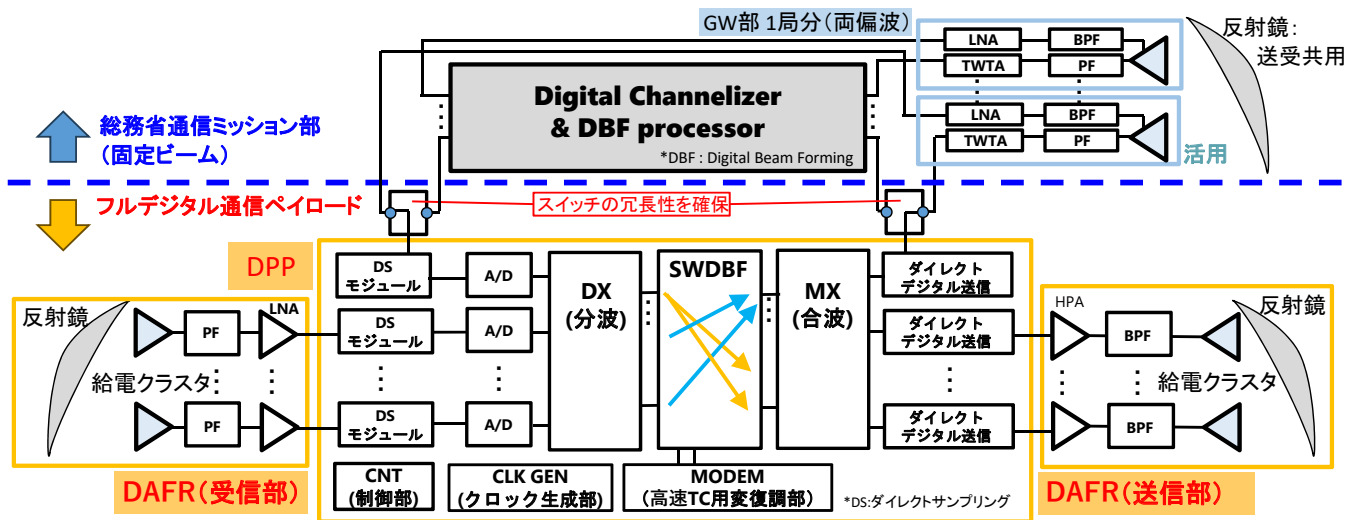


図1 FDPの全体構成



図2 給電クラスタ(左図:側面、右図:上面)及び反射鏡(右図)

と、信号増幅器 (LNA/HPA) や給電素子・反射鏡を含めたアンテナ部である DAFR (Defocused Array Fed Reflector: デフォーカス式アレー給電反射鏡アンテナ) から構成されている。DPP と DAFR により、デジタルチャネライザ機能とデジタルビームフォーミング機能を実現させている。

3 DAFR

DAFR は、送信用と受信で別のモジュールとなっており、反射鏡、給電素子をアレー化した給電クラスタ(円偏波発生器含む)、信号増幅器である LNA (受信) / HPA (送信) が主要な構成要素となっている。製造した給電クラスタ及び反射鏡を図 2 にそれぞれ示す。

DAFRの反射鏡は展開機構により軌道上でも可動可能であるが、物理的な可動範囲は極めて限定的である。しかしながら、DAFRは複数の給電素子からの電波の合成により1つの通信ビームを形成させるため、各給電素子(同一偏波)がカバーしている領域の範囲内であればデジタルビームフォーミング機能により任意

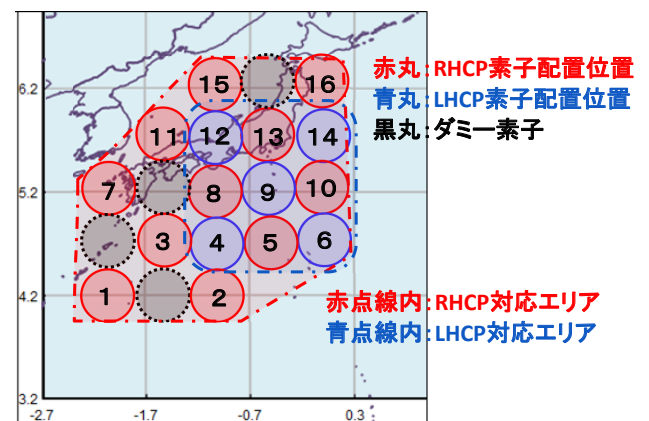


図3 DAFRによる通信カバーエリア

の場所と形状のビームを形成することができる。

図3にDAFRがカバーしている通信エリアを示す。FDPは、次世代静止通信衛星の実証に必要な技術を最小構成で効率的に開発する方針としているため、DAFRの規模には制約があったが、その制約の中でも通信可能なエリアは日本本土及び日本近海が可能な限り包含できるように給電素子配置とした。また、同制

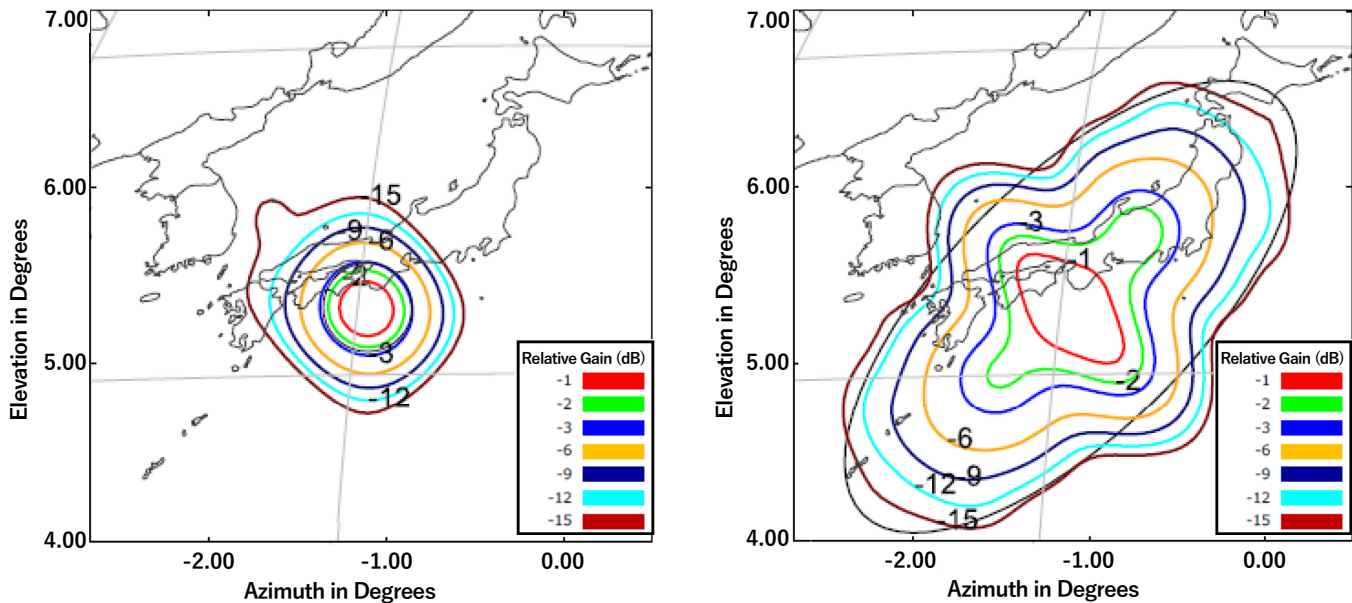


図4 ビームパターン例(左図：スポットビーム、右図：ワイドビーム)

約により右旋用と左旋用の給電素子数に差が生じて給電素子がない箇所があるが、当該箇所には終端器を接続したダミー素子を配置させ、ビーム形成の際に必要な各給電素子の素子間結合が同一になるような構成としている。

図3の各偏波の領域内では任意の場所にビームを形成させることができるが、具体的なビームパターンの例を図4に示す。No.8の場所にNo.3,5,8,11,13の5素子を使って1スポットビームを作った場合の解析結果を図4左図に、No.2,3,5,7,8,10,11,13,15の9素子を使ってワイドビームを作った場合を図4右図にそれぞれ示す。

なお、これらのビームパターンは各給電素子の実測のビームパターンを基に解析的に算出したものである。

表1 DPPの主要構成要素

番号	名称	主要機能
①	DS モジュール	ダウンコンバート
②	A/D モジュール	A/D 変換処理
③	DX	分波処理
④	SWDBF	スイッチング、デジタルビームフォーミング用励振係数演算
⑤	MX	合波処理
⑥	D/A モジュール	D/A 変換処理
⑦	CNT	DPP 全体の制御処理
⑧	CLK GEN	各機器のクロック生成
⑨	DC/DC	各機器用の電源の生成

4 DPP

DPP は、受信の DAFR で受信した Ka 帯 (30 GHz) の RF 信号をベースバンド信号に変換し、デジタルチャネライザ機能やデジタルビームフォーミング機能のためのデジタル信号処理を行い、送信する RF 信号 (20 GHz : Ka 帯) を送信の DAFR に出力する。なお、デジタルチャネライザ機能については、後述するように通信信号の分波処理を 10 MHz 単位で実施するため、10 MHz ステップにて帯域幅を自在に可変にできる機能となっている。

DPP は、表1に示す各コンポーネントによって構成されており、図5のように接続される。以降で通信信号のデジタル信号処理の関わる機器の主要な動作概要を示す。

4.1 DS モジュール

DAFR の LNA から入力された 18 ポート (GW : 2 ポート, DAFR : 16 ポート) 分の Ka (30 GHz) 帯の RF 信号に対して、ダウンコンバートを行いそれぞれ 3 GHz 帯の信号に周波数変換した後段の機器に出力する。

4.2 A/D モジュール

DS モジュールから入力される 3 GHz 帯の信号に対して、不要波を除去した後 A/D 変換を行う。A/D 変換したデジタル信号は、さらに E/O 変換 (電気→光) し、光信号として A/D モジュールから出力する。

4.3 DX, SWDBF, MX

DX, SWDBF, MX は、ハードウェアとしては同一の設計であるが、搭載する演算用 FPGA に付加する機能を変えることにより、それぞれの所望の機能を実現さ

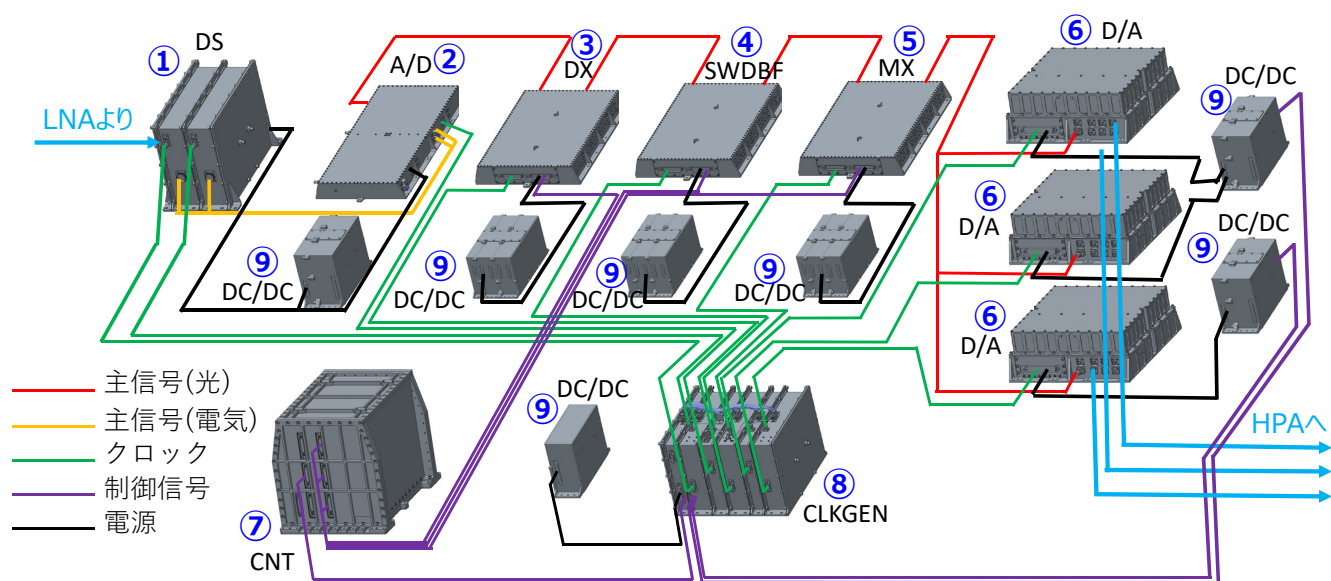


図5 DPPの機器接続構成

せている。DX, SWDBF, MX のいずれの場合においても、機器に入力された光信号を O/E 変換（光→電気）し FPGA により所望の信号処理を行った後、E/O 変換して光信号を出力する構成となっている。

なお、演算用 FPGA は 4 個実装されており、FPGA 同士が相互に信号をやり取りできる構成になっている。また、それぞれの FPGA は、ETS-9 の打上げ後においてもロジックの書き換えが可能な設計としているため、機能の追加や変更などが可能となっており、機器としてのフレキシビリティを向上させている。

4.3.1 DX

演算用 FPGA を用いて 18 ポート分の信号の分波の処理を行う。分波の処理では、入力された各ポートからの信号を 10 MHz 帯域幅のサブチャンネル信号に分割する。

DX モジュールでは分波の演算以外に、1つの演算用 FPGA に高速 TC 信号の変復調機能(MODEM 機能)を搭載させており、DPP 全体を制御する CNT と FDP 制御用のテレメトリ・コマンド信号である地上からの高速 TC 信号をつなぐ機能を持たせている。

4.3.2 SWDBF

DX から入力されるサブチャンネルに分波された 18 ポート分の信号に対して、必要となる位相・振幅の励振係数演算を実施してビーム信号を生成する。生成したビーム信号に対して、サブチャンネル単位でスイッチングを行った後、再度サブチャンネル単位で必要な励振係数演算を実施し、MX へ出力する 18 ポート分の信号を生成する。

4.3.3 MX

SWDBF から入力されたサブチャンネル信号(18 ポート分)を合波し後段の機器に出力する。

4.4 D/A モジュール

MX から入力された光信号を、O/E 変換した後 D/A 変換により 20 GHz 帯のアナログ信号に変換する。20 GHz 帯のアナログ信号から不要波を除去した上で、DAFR の HPA に出力する。

5 まとめ

本稿では、ETS-9 に搭載する FDP の概要や構成・機能について報告した。今後は FDP を衛星システムに搭載した状態での試験（性能試験・アンテナパターン試験等）を順次実施し、FDP としての最終性能の確認を行う計画である。

【参考文献】

- 1 内閣府, “次期技術試験衛星に関する検討会報告書,” 次期技術試験衛星に関する検討会, 2015.4 及び 2016.5
- 2 小川 亮, ほか, “技術試験衛星 9 号機の概要,” 第 62 回宇宙科学技術連合講演会講演集, 1104, 2018.
- 3 “技術試験衛星 9 号機 (ETS-9) の開発状況について,” 文部科学省 宇宙開発利用部会, 資料 61-5, 2021.6.28.
- 4 深津 敦, ほか, “技術試験衛星 9 号機の開発状況(詳細設計報告),” 第 65 回宇宙科学連合講演会講演集, 3D03, 2021.
- 5 小川 亮, ほか, “フルデジタル通信ペイロードの開発,” 第 66 回宇宙科学連合講演会講演集, 1F14, 2022.



西城 邦俊 (にしじょう くにとし)

宇宙航空研究開発機構
第一宇宙技術部門
技術試験衛星 9 号機プロジェクトチーム
主任研究開発員
衛星通信



石原 秀樹 (いしはら ひでき)

三菱電機鎌倉製作所
宇宙防衛システム部
技術第二課
課長
衛星通信、無線信号処理



清原 章公 (きよはら あきひろ)

三菱電機鎌倉製作所
宇宙防衛システム部
技術第二課
主任
衛星通信



今井 慧 (いまい けい)

三菱電機鎌倉製作所
宇宙防衛システム部
技術第二課
グループリーダー
衛星通信