Vol. 37 No. 1 通信総合研究所季報 February 1991
pp. 201—207

研　　究

Ⅶ-4 評価実験装置
—ディジタル信号処理装置—

神尾　享秀[*1]　三瓶　政一[*1]　大鐘　武雄[*2]

(1990年7月20日受理)

Ⅶ-4 EXPERIMENTLY EQUIPMENT
—DIGITAL SIGNAL PROCESSING SYSTEM—

By

Yukiyoshi KAMIO, Seiichi SAMPEI, and Takeo OHGANE

1. まえがき

最近，通信の分野でもディジタル信号処理技術の適用が盛んに研究されている[1][2]．

これらの研究において，信号処理アルゴリズムの開発が重要であり，計算機シミュレーションによる確認の後，装置化にあたり，DSP (Digital Signal Processor) が用いられることが多い[3][4]．また，装置化に当たっての問題点の検討に DSP を用いることにより，同じハードウェアで異なった方式の検討が，信号処理アルゴリズムの変更により可能となり，効率がよい．

また，複数のプロセッサにより高速演算を行う場合について，多くの研究がなされている[9]．並列処理の問題点としては，バスネック，タイミング管理，多入出力の管理などがある．この様な問題点の解決例としては，CPU に多くのバス機能をもたす（複雑になり高速演算の DSP 製作が困難である），いくつかのバス接続を交換処理する（システム規模が大きくなる）などがある．しかし，実際の通信システムの装置化の問題点の検討には不向きである．また，トランスピュータなど並列処理プロセッサ技術も発展している．しかし，DSP においては，高速の積和演算，割り込み処理が必要であり，複雑な制御をする並列システムは実際的でない．このような観点からすでに，分散処理型汎用信号処理装置[5] を製作し，ディジタルフィルタ[6]，判定 Viterbi 復号[7]，高能率変復調装置[8] 等の検討に用いてきた．

しかし，当所で既に開発した装置は，固定小数点形式の演算を行う DSP を用いており，フェージング対策など，複雑なアルゴリズムと広いダイナミックレンジが必要な信号処理に使用するには，ダイナミックレンジが小さい，DSP 間のデータ伝送のスループットが十分でないなどの問題点がある．

そこで，これらの問題を解決した装置の検討及び製作を行なった．なお，システムの検討にあたり，DSP の利用範囲の広がりに対応して，汎用的なシステムとすると，設計が複雑となり使用方法も難しくなるため，効率的なシステム設計のために，通信分野に限定した．

通信分野での応用としては，適応信号処理，等化器，フィルタ，FFT，誤り訂正などがある．ここでは，主に，等化器などの信号処理を考慮した．

この場合，必要になることは，

(1) 広いダイナミックレンジを確保するため浮動小数演算を高速に行えること
(2) 複雑な処理をリアルタイムで行うため，効率的な分散処理が可能なこと
(3) 外部，DSP 間でのタイミング調整が可能なこと
(4) ソフトウェア開発を効率的に行うため，プログラムの書換えが容易であること
(5) デバッグのために，多くの途中データが見れること

である．

また，誤り訂正符号の検討など，ディジタルデータの論理処理が容易なことも重要である．

*1 通信技術部　通信方式研究室
*2 総合通信部　通信系研究室

これらの要求条件を考慮して，浮動小数点演算が可能な DSP の使用，デュアルポート RAM による DSP 間転送の効率化及び，割り込み機能によるタイミング管理の容易化などの改善を図ったディジタル信号処理装置について検討し，その製作を行った．

本論文では，この装置（以下本装置と呼ぶ）の概要と応用例について述べる．

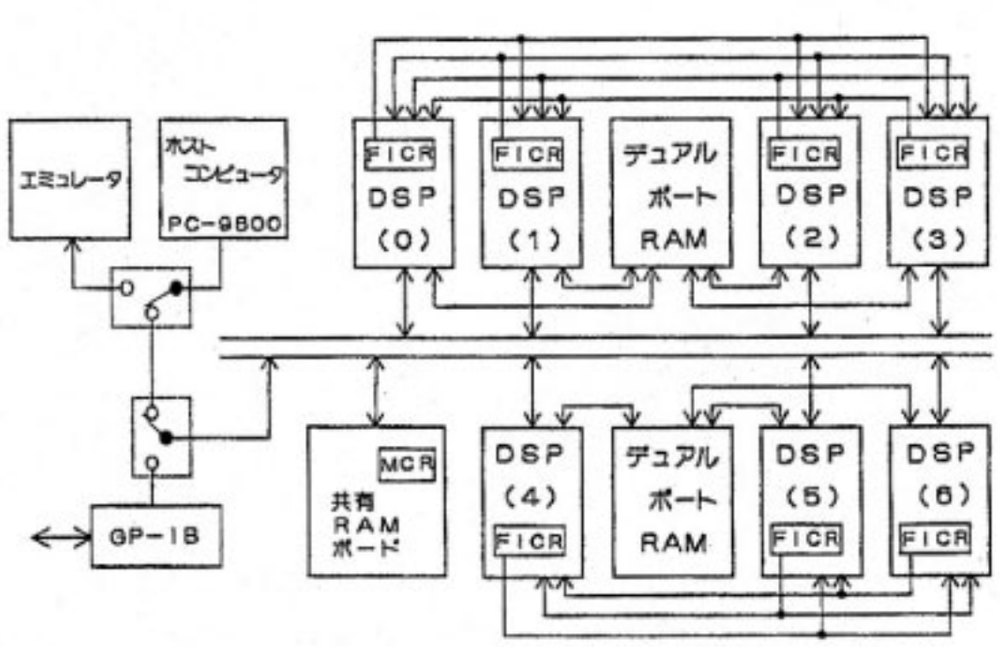
2. 装置の構成

2.1 全体構成

本装置の全体構成図を第1図に示す．また，その諸元を第1表に示す．

ホストコンピュータ（PC-9800，日本電気）で開発されたプログラムは，プログラムバスを介して，各 DSP ボードの命令 RAM へ転送される．各 DSP はそのプログラムに従って動作する．

DSP ボードは，4枚及び，3枚のグループに分かれており，各DSP ボードは独自に種々の入出力機能を持つ．また，デュアルポート RAM を介して，各グループ内で等価的に DSP 間のデータ伝送が可能である．更に，割り込みコントロールレジスタにより DSP 間相互及び外部よりの割り込み制御が可能である．また，大容量共有メモリとしてメモリボードを持つ．



第1図　全体構成図

以下では，各部の詳細についてのべる．

2.2 DSP ボード

DSP ボードの構成を第2図に示す．またその諸元を第2表に示す．

本ボードは，DSP による処理，I/O のインタフェース，割り込み信号，フラグ信号の選択などを行う．

各部の詳細は以下の通りである．

(1) DSP

DSP ボードの中心は，DSP LSI である．LSI の選択に当たって特に考慮したことは，次の通りである．

(a) プログラムのロード，書替えを容易にするため，プログラム格納領域として RAM 形式が選択できること．

(b) 浮動小数点演算が可能なこと．

(c) 命令実行サイクルが短いこと．

市販さている DSP は，数種類あるが，以上の観点から本装置では，沖電気の MSM6992[10] を用いた．

本装置のように，DSP の内部 RAM 以外に外部 RAM を用いて，プログラムの変更が自由なシステムにすると，メモリへのアクセスのために性能が落ちる DSP もある．

マシンサイクルは，今回のシステムが汎用化を考えているため，配線距離が長く，メモリのアクセス速度などの関係から，DSP での最小値（125 nsec）より大きい 160 nsec となっている．

(2) 外部データ入力部

第2図に示すように，アナログ，ディジタルの入力ポートがある

① 各入力信号の構成

(a) アナログデータ（複素データ入力用に2チャンネル）

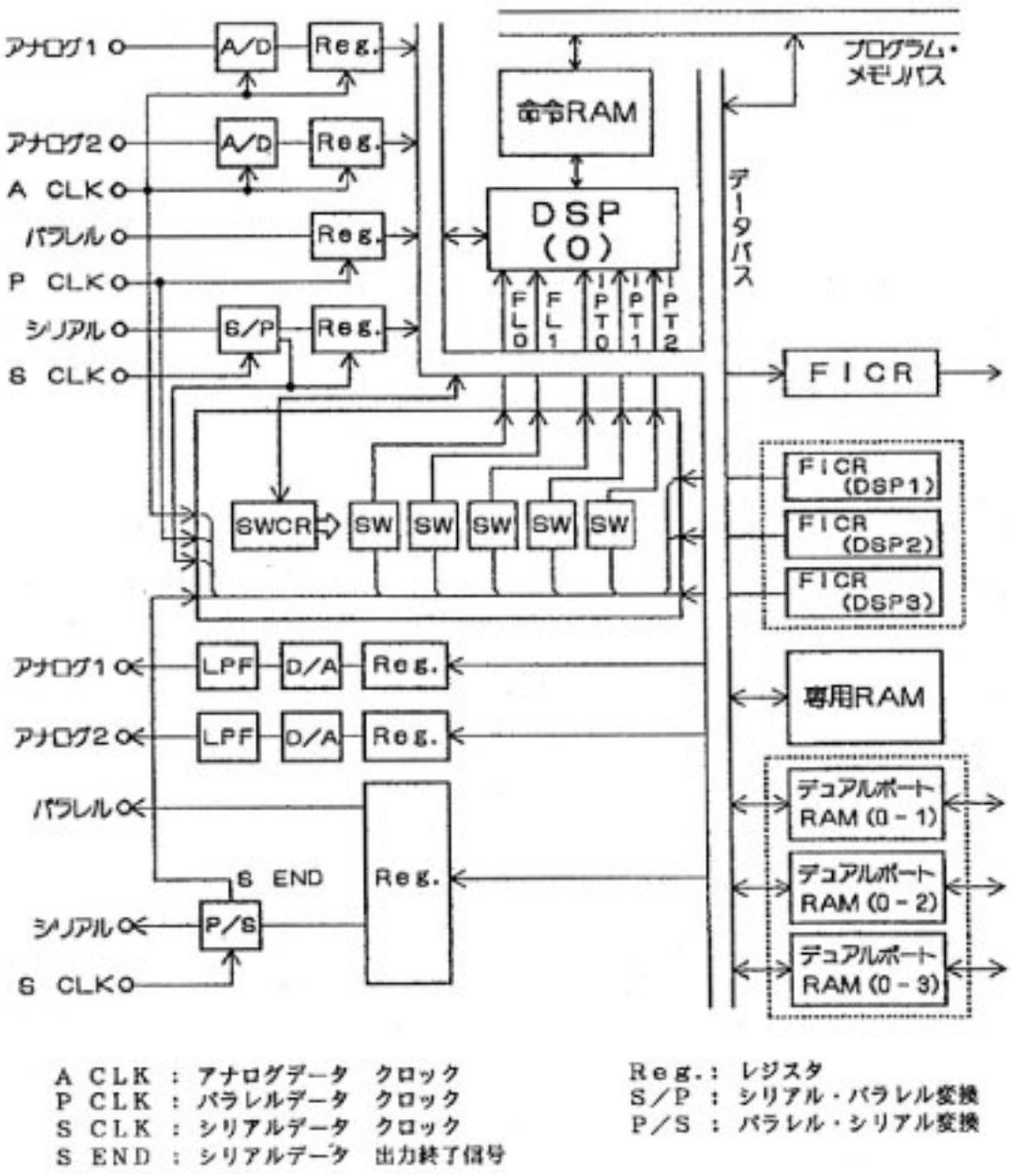
入力信号は，サンプルホールドされ，A/D 変換された後，2の補数表現に変換する．

(b) ディジタルデータ

(b-1) パラレルデータ　　第2表参照

第1表　本装置の諸元

DSPボード	4枚＋3枚
メモリボード	1枚　(32 Kword)
バス	プログラムバス及びメモリバスと兼用（スイッチ切り替え） デュアルポート RAM による DSP 間転送
プログラム開発	ホストコンピュータ (PC-9800) エミュレータ RS-232C インタフェース付)
その他	高速 A/D，D/A 変換器 ディジタル遅延線 クロック逓倍器



第2図 DSP ボード構成図

(b-2) シリアルデータ 第2表参照

② 入力タイミング

各データは，ディジタルデータとして，まず入力レジスタに取り込まれる．このタイミングは，各データのクロック (A CLK,P CLK,S CLK) に同期して行われる．

同時にそのクロックは，DSP に対して入力があることを知らせる信号となる．この信号の与え方には，次の二つのモードがある．

(a) Pモード（プログラム入力モード）

プログラム上で入力フラグをチェックすることにより，データを取り込むモードである．

この場合，3種類のクロックのうち必要なものをフラグ入力 (FL0, FL1) につなぐ．

(b) IPT モード（外部割り込み入力モード）

外部からの入力要求に応じてデータを取り込むモードである．

この場合，3種類のクロックのうち必要なものをインタラプト入力 (IPT0～IPT2) につなぐ．この結果，クロック入力時に DSP に割り込みが

第2表 DSPボード諸元

DSP部	LSI	MSM6992（沖電気）	
	命令サイクル	160 nsec	
I/O部	外部入出力データ	アナログ入出力	ビット数：12ビット 変換速度：8μsec コード：2の補数
		パラレル入出力	ビット数：22ビット
		シリアル入出力	1～22ビットをパラレルデータに変換
	入力モード	プログラム入力モード 割り込み入力モード	
	出力モード	DSP のタイミングで出力	
	DSP 間データ伝送	デュアルポート RAM による共有メモリ方式	
	メモリボードデータ伝送	メモリバスを介して行う	
命令RAM		32 bits×2 Kword	
データRAM		22 bits×4 Kword	
デュアルポートRAM		各々の組合せに対して 22 bits×2 Kword	
割り込み		3レベル（他の DSP，入力タイミング及び外部よりの割り込み可能）	

かかり，入力プログラムにより，入力動作が行われる．データを入力なしで，外部とのタイミング調整にも使われる．

(1) 外部出力部

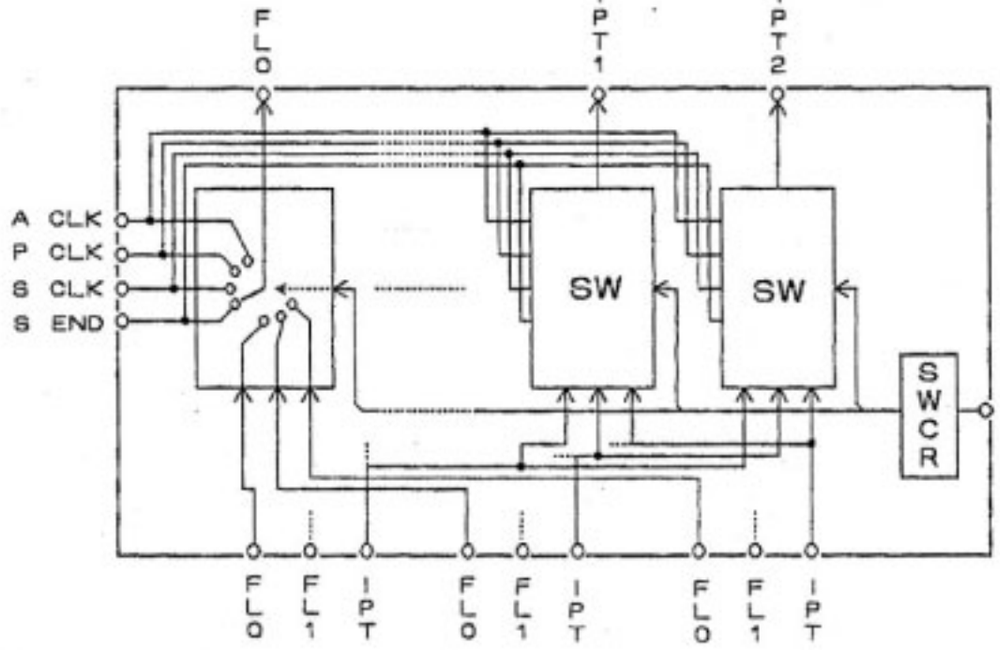
データの種類は，外部入力と同じである．ただし，パラレルデータ及びシリアルデータは，同一データが出力される．

外部クロックに同期して出力する場合には，インタラプト信号にこのクロックをつなぎ，割り込み動作により出力することも可能である．

(4) フラグ，割り込みコントローラ部

第2図に示すように，各 DSP のフラグ信号，割り込み信号を制御する．フラグ割り込みコントローラ部の構成を第3図に示す．ここでは，DSP の入力フラグ (FL0, FL1) 及びインタラプト信号 (IPT0, IPT1, IPT2) として第3表の7種類の中から選択し，コントロールする．これらの切り替えは，切り替えコントロールレジスタ (SWCR) の内容に応じて行われる．

切り替えコントロールレジスタの4ビットずつを第4図のように割り当てる．各4ビットの信号による選択は第3表の通りである．これらのロジックは，随時プログラムにより書き換えることが出来る．



第3図 フラグ，割り込みコントローラ部

第3表 フラグ，割り込み信号の割当

割り込み，フラグ選択信号	切り替えデータ
パラレルデータ クロック	0111 (7_{16})
シリアルデータ クロック	0110 (6_{16})
アナログデータ クロック	0101 (5_{16})
シリアルデータエンド信号	0100 (4_{16})
DSP(1)よりの FICR 信号	0000 (0_{16})
DSP(2)よりの FICR 信号	0001 (1_{16})
DSP(3)よりの FICR 信号	0010 (2_{16})
未接続	0011 (3_{16})

また，フラグ・割り込みコントロールレジスタ (FICR) により，他の DSP にフラグ，割り込み信号を送ることが出来る．

対応するビットに1を立てたデータを書き込むことにより，フラグあるいはインタラプト信号が送られる．

(5) データ RAM

各 DSP ボードには，専用にアクセスできるメモリをもつ．

また，任意の二つの DSP ボード間で非同期にアクセスできるデュアルポート RAM を持つ．DSP とデュアルポート RAM の関係は，DSP0～DSP3 のグループの場合，第5図の通りである．矢印は，アクセスできる関係を示す．

但し，ここで用いているデュアルポート RAM は，同時に同じアドレスにアクセスすることは出来ないので，プログラムで回避する必要がある．(同時に同じアドレスにアクセスした場合は，警告ランプが点灯する．)

(6) アクセス方法

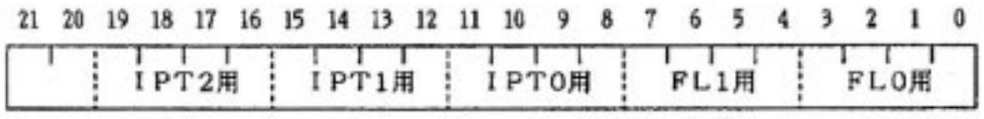
以上のレジスタ，メモリは，DSP の外付メモリ同様に，順次アドレスが割り当てられている．よって，DSP からのメモリアクセス同様に，これらのレジスタなどを読み書きできる．

2.3 メモリボード

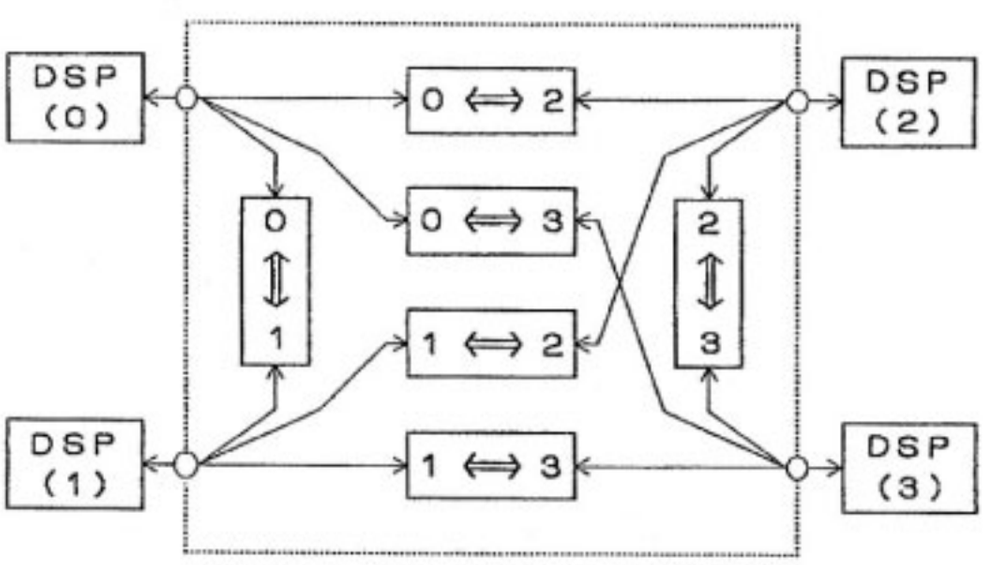
このボードは，次の様な用途に用いられる．

- 各 DSP ボードの大容量共有メモリ
- デバッグのためのメモリ
- 異なったグループの DSP 間でのデータ伝送

各 DSP ボードで共有しているため，メモリコントロールレジスタ (MCR) に使用中フラグを立ててアクセスする．GP-IB により外部計算機にデータを入出力でき



第4図 SWCR のビット割当



第5図 デュアルポート RAM の接続図

るので，途中経過のデータを数サンプルにわたり記憶したり，既知データを入力して動作させることができるため，デバッグに用いる方法の一つとして，便利である．

2.4 バス

プログラムバス及びメモリバスは共有しており，スイッチで切り換えて使用する．これによりボード間の配線を削減している．

2.5 プログラム開発部

プログラムは，アセンブラ言語であり，ホスト計算機(PC-9800)により開発する．また，エミュレータ (EMU92)により，一つの DSP での処理のデバッグが可能である．

開発されたプログラムは，RS-232C により，各DSPボードの命令用メモリにロードされる．また，GP-IBにより，メモリボード，各 DSP のメモリを外部の計算機で読みだし及び，書き込みが出来るため，複数の DSPを用いた場合のプログラムのデバッグが可能である[5]．

2.6 その他

本装置には，信号処理による遅延時間補正のための遅延線，1クロック内に数サンプルのデータが必要な場合のためのクロック逓倍器，高速の A/D， D/A 変換器（1.5 μsec, 外付け）が用意されている．

3. 応用例

本システムの応用例として，適応等化器の場合について説明する．

$t=nT$（T は1シンボル長）における等化器入力および等化器出力を，$x(n)$，$y(n)$ とする．また，等化器のタップベクトル $\boldsymbol{u}(n)$，およびタップ利得ベクトル $\boldsymbol{c}(n)$ を，それぞれ，

$$\boldsymbol{u}(n)=[u(n+N),\ u(n+(N-1)),\ \cdots,\ u(n),\ \cdots,\ u(n-N)]^T \quad \cdots\cdots(1a)$$

$$=[\boldsymbol{u}_1(n)^T,\ \boldsymbol{u}_2(n)^T]^T \quad \cdots\cdots(1b)$$

$$\boldsymbol{u}_1(n)=[u(n+N),\ u(n+(N-1)),\cdots,u(n+1)]^T \quad \cdots\cdots(1c)$$

$$\boldsymbol{u}_2(n)=[u(n),\ u(n-1),\ \cdots,\ u(n-N)]^T \quad \cdots\cdots(1d)$$

$$\boldsymbol{c}(n)=[c_{-N}(n),\ c_{-N+1}(n),\ \cdots,\ c_0(n),\ \cdots,\ c_N(n)]^T \quad \cdots\cdots(2a)$$

$$=[\boldsymbol{c}_1(n)^T,\ \boldsymbol{c}_2(n)^T]^T \quad \cdots\cdots(2b)$$

$$\boldsymbol{c}_1(n)=[c_{-N}(n),\ c_{-N+1}(n),\ \cdots,\ c_{-1}(n)]^T \quad \cdots\cdots(2c)$$

$$\boldsymbol{c}_2(n)=[c_0(n),\ c_1(n),\ \cdots,\ c_N(n)]^T \quad \cdots\cdots(2d)$$

とする．ここで，$\boldsymbol{c}(n)^T$ は $\boldsymbol{c}(n)$ の転置ベクトルである．また，適応等化処理を二つの DSP で分散処理するため，$\boldsymbol{c}(n)$ および $\boldsymbol{u}(n)$ を2分割している．

等化出力 $y(n)$ および推定誤差 $e(n)$ は以下で与えられる．

$$y(n)=\boldsymbol{c}(n)^T\boldsymbol{u}(n) \quad \cdots\cdots(3a)$$

$$=y_1(n)+y_2(n) \quad \cdots\cdots(3b)$$

$$=\boldsymbol{c}_1(n)^T\boldsymbol{u}_1(n)+\boldsymbol{c}_2(n)^T\boldsymbol{u}_2(n) \quad \cdots\cdots(3c)$$

$$y_1(n)=\boldsymbol{c}_1(n)^T\boldsymbol{u}_1(n) \quad \cdots\cdots(3d)$$

$$y_2(n)=\boldsymbol{c}_2(n)^T\boldsymbol{u}_2(n) \quad \cdots\cdots(3e)$$

$$e(n)=r(n)-y(n) \quad \cdots\cdots(4)$$

ここで，$r(n)$ は参照信号である．

また，$\boldsymbol{c}_1(n)$ および $\boldsymbol{c}_2(n)$ の更新は以下のように行う．

$$\boldsymbol{c}_1(n+1)=\boldsymbol{c}_1(n)-\alpha e(n)\boldsymbol{u}_1(n) \quad \cdots\cdots(5)$$

$$\boldsymbol{c}_2(n+1)=\boldsymbol{c}_2(n)-\alpha e(n)\boldsymbol{u}_2(n) \quad \cdots\cdots(6)$$

ただし

$$0<\alpha\ll 1 \quad \cdots\cdots(7)$$

第6図に二つの DSP を用いて，適応等化器を構成する場合の例を示す．

$x(n)$ は両方の DSP に入力される．また，DSP0 では $y_1(n)$ 及び $\boldsymbol{c}_1(n)$，DSP1 では $y_2(n)$，$e(n)$ 及び $\boldsymbol{c}_2(n)$ の計算を行う．

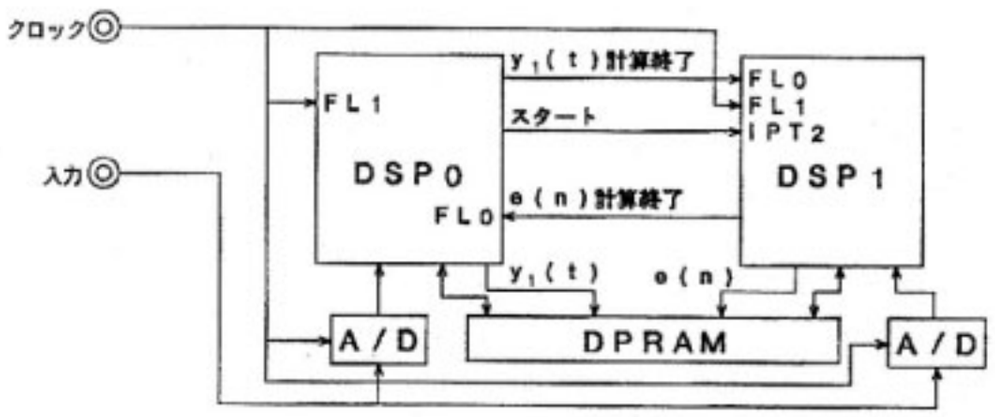
第7図に計算フローチャートを示す．

DSP1 では，DSP0 からの割り込み信号により，計算を開始する．これにより，両 DSP が同期する．

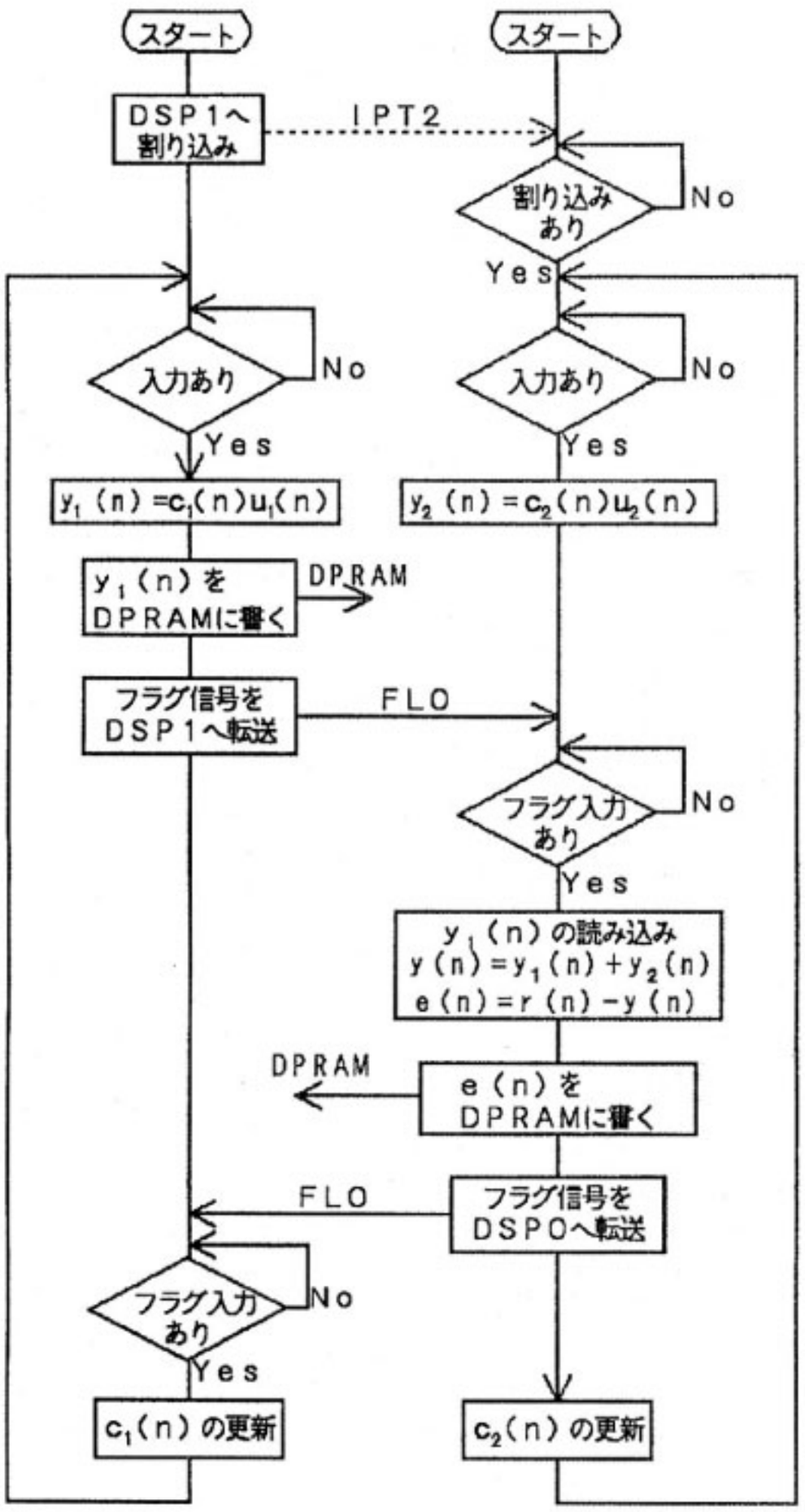
次に，両 DSP とも外部入力を待ち，入力があったら $y_1(n)$（式 (3 d)）および $y_2(n)$（式 (3 e)）の計算を開始する．

DSP0 は，$y_1(n)$ の計算終了後，$y_1(n)$ の値を DSP0 と DSP1 で共有する DPRAM に書き込むと共に，DSP1 に，$y_1(n)$ の計算終了を示すフラグ信号（FL0）を転送し，DSP1 から $e(n)$ の計算が終了したことを示すフラグ入力を待つ．一方 DSP1 は，$y_2(n)$ の計算終了後，DSP0 からのフラグ信号を待ち，フラグ入力を確認し，$y(n)$ の計算（式 (3 b)）及び $e(n)$ の計算（式(4)）を開始する．また，これらの計算が終了した後，$e(n)$ を DPRAM に書き込み，$e(n)$ の計算終了を示すフラグを DSP0 に転送する．

その後，両 DSP は，DPRAM に書かれた $e(n)$ を用いて，$\boldsymbol{c}_1(n)$ 及び $\boldsymbol{c}_2(n)$ のタップ更新（式(5)および(6)）



第6図 適応等化器を実現する場合の構成例



第7図　適応等化器の計算フローチャート

を実行し，外部入力待の状態に戻る.

以上の処理の場合，10タップ程度の複素型フィルタ構成（I，Q チャネル及び，それらのクロス成分も必要である）で，100 KHz 程度のサンプリングが可能である.

また，フィルタ係数の計算が複雑な場合は，更に，DSP2を加える．計算データの途中経過がベクトル，マトリクスなどの場合は，デュアルポートRAM による方法が効率的であり，計算のダイナミックレンジを考慮する必要も少ない.

以上の例の他に，パラレル，シリアルデータ入出力ポートを用いて誤り訂正の検討などにも用いることが可能である.

4. むすび

種々の複雑な信号処理に適用できる信号処理装置の概要及び，応用例を示した.

高速，複雑な演算に対応するための複数プロセッサでの動作，プログラムの効率的な開発を基本に設計されているため，ディジタル通信システムの開発に強力なツールになるであろう.

今後，信号処理の分野は，その応用範囲を広げながら，より快適で効率的な開発環境(高級言語による開発，エミュレーションシステムの充実)，高速な DSP　(LSI 技術の進歩による)への改良が進むであろう.

また，信号処理用 LSI の開発は，2 極分化しており，一方は，FFT，ディジタルフィルタをより高速，簡易に行うための専用の LSI，もう一方は，マイコンなどの機能を取り入れながら，より高速で，多機能な DSP となってきている．応用によって，これらの使い分けが必要になってくるであろう.

謝　辞

装置製作に御協力頂いた(株)国際電気の関係各位に感謝致します．さらに，御指導御討論頂いた　中津井総合研究官，横山総合通信部長，並びに，笹岡通信方式研究室長に感謝致します.

参考文献

(1) I.A. Gerson and M.A. Jasiuk, “Vector Sum Excited Linear Prediction (VSELP)”, IEEE Workshop on Speech Coding for Telecommunication, 66-68, Sept. 1989.

(2) A. Baier, G. Heinrich, P. sh Ö ffel and W. Stahl,” Simulation and Hardware Implementation of a Viterbi Equalizer for GSM TDMA Digital Mobile Radio System”, Proc. Third Nordic Seminar on Digitl Land Mobile Radio Communication,13.7, Sept. 1988.

(3) 木原，小林，東，“汎用ディジタル信号処理装置の一構成”，昭63信学春季全大，A-103，p.1-103，昭63年3月

(4) Y. Kamio, S. Sampei, H. Sasaoka, M. Yokoyama, “A New Type Fading Simulator with DSP”, IEICE, E70, 4, pp.379-382, April 1987.

(5) 三瓶，神尾，“分散処理形ディジタル信号処理装置の開発”，通信総研季，**34**，172，pp.187-195，1988年9月.

(6) 笹岡秀一，“ディジタル信号処理用マイクロプロセッサによるディジタルフィルタの製作”，電波研季，**33**，128，pp.183-189，1987年9月.

(7) 神尾享秀, "GMSK 同期検波における軟判定ビダビ復号", 信学論 (B), **J71-B**, 2, pp.299-300, 1988年2月.

(8) 須永, 三瓶, "陸上移動通信用 16 QAM 変復調装置の特性", 信学論 (B-Ⅱ), **J73-B-Ⅱ**, 1, pp.1-9,, 1989年1月.

(9) 金山, 藤井, 太田, 小野, "超高速信号処理用マルチコンピュータ型 DSP システムの構成", 信学論 (D), **J71-D**, 8, pp.1454-1460, 1988年8月.

(10) Y. Mori, T. Jufuku, M. Iida, A. Nomura, N. Ichiura and T. Nakamura, "Architecture of high-speed 22bit floating-point digital signal processor", ICASSP' 86, pp.405-408, April 1986.