

4-5 ナノエレクトロニクスのアーキテクチャ

4-5 Nanoelectronics Architectures

フェルディナンド ペパー 李 佳 足立 進 磯川悌次郎 高田庸介
松井伸之 益子信郎

Ferdinand Peper, LEE Jia, ADACHI Susumu, ISOKAWA Teijiro,
TAKADA Yousuke, MATSUI Nobuyuki, and MASHIKO Shinro

要旨

エレクトロニクスの小型化が進むなか、論理素子及び配線のパターン寸法はナノメートルのオーダーにまで迫ろうとしている。こうした素子を製造するに当たっては、ナノ世界を律する厳しい要求条件に適したアーキテクチャが必要となる。主な課題は次のとおりである。(1) ナノ回路の製造方法(光リソグラフィなどの現行技術はナノスケールでは通用しない)、(2) 高集積密度に伴う多大な発熱を低減する方法、(3) ナノエレクトロニクスの製造及び動作において必ず発生するエラーの扱い。本稿では、これらの要求条件を満たすアーキテクチャの研究成果について概説する。

The ongoing miniaturization of electronics will eventually lead to logic devices and wires with feature sizes of the order of nanometers. These elements need to be organized in an architecture that is suitable to the strict requirements ruling the nanoworld. Key issues to be addressed are (1) how to manufacture nanocircuits, given that current techniques like optical lithography will be impracticable for nanometer scales, (2) how to reduce the substantial heat dissipation associated with the high integration densities, and (3) how to deal with the errors that are to occur with absolute certainty in the manufacturing and operation of nanoelectronics? In this paper we sketch our research efforts in designing architectures meeting these requirements.

[キーワード]

ナノエレクトロニクス, アーキテクチャ, セルオートマトン, 発熱, フォールト・トレランス, 再構成可能

Nanoelectronics, Architecture, Cellular automaton, Heat dissipation, Fault-tolerance, Reconfigurable

1 はじめに

1.1 背景

VLSI(超大規模集積回路)のチップ密度が過去数十年にわたって進化した結果、電子システムの機能と速度はますます向上し、高度な情報処理や通信に応用されるようになってきている。シリコンを用いたCMOS技術は2015年まで改良可能だと期待されているが、2015年以降も改良を続けるには技術的に大きな進歩が必要となる。このことはナノスケール素子を研究する際の大きな動機付けにはなっているが、このタイプの素子をより大きなシステムに組み込む方法を発見

することも同じように重要である。ナノスケールでは厳しい要求条件が求められるため、ナノ素子を用いるシステムは現在とかなり異なったアーキテクチャ(設計)を必要とする。ナノ回路の設計に影響を与える大きな要因は三つある。製造のしやすさ、発熱の抑制及びエラーに対する耐性、の三つである。

1.2 製造のしやすさ

ナノ素子の回路をVLSIチップと同じ方法(光リソグラフィの利用)で製造するのは困難と思われる。ナノスケールの微細構造に対して、光の波長は粗すぎるのである。そのため、ナノ回

路の「自己集合 (self-assembly)」と呼ばれる代替技術が研究者の注目を集めつつある。この技術のポイントは、分子が「自己組織化 (self-organization)」というプロセスに従って相互作用し、ある所望のパターンを形成する能力を用いることで回路を構築する点にある。ただし、自己集合は確かに有望な開発技術であるが、付帯条件も伴う。形成可能なパターンは、浴室のタイルのように極めて規則的な構造を持つ傾向がある。したがって、自己集合によって形成されるナノ回路は、一般に極めて規則的な構造を持つ必要があると考えられる。

1.3 発熱の抑制

ナノテクノロジーによって高い集積密度が可能となったために、ナノ素子から放出される熱による広範囲な影響が出るのが予想される。現在でさえ、発熱はVLSIチップにおいて大きな問題になりつつある。ナノエレクトロニクスの場合、状況は更に悪くなる。現在のVLSIと同様の方法を用いた場合、単位表面積当たりの発熱量は太陽より大きくなると予想されている。特に、回路内の動作を同期化するクロック信号の分配が、発熱の主な要因である。すなわち、クロック信号が回路に分配されるたびに配線にエネルギーを供給する必要があり、そのエネルギーの多くは大抵熱の形で散逸される。この問題を解決する一つの方法は、クロックを使用しないことである。クロック信号による同期化を必要としない回路は「非同期」と呼ばれる。この種の回路では、概略を言えば、実行すべき作業があるときにしか素子は活動しない。これに対し、クロックが供給される回路では、たとえ有効な作業がなくても大半の素子がクロック信号を常に処理している。設計が優れていれば、非同期のエレクトロニクスは消費電力及び発熱を大幅に低減できる。

消費電力と発熱を低減するもう一つの方法は、Landauer[8]が最初に提唱した動作の「可逆性 (reversibility)」である。素子の可逆性のポイントは、素子の動作において消費されたエネルギーは、その動作を後で取り消す(すなわち、その動作を逆に行う)ことによって取り返すことができるというものである。この原理は60年代初期

から知られていたが、今日の実際の回路に適応することはまずない。おそらくそれは、VLSIについて確実に得られるメリットがハードウェアで必要になるオーバーヘッドと釣り合わないことによる。しかしながらナノエレクトロニクスの場合、話は違って来る。なぜならナノスケールでの相互作用(例えば分子間か他の粒子間の相互作用)は一般に可逆的であり、したがってナノ素子の動作にとってはその種の相互作用が基本的に重要となる。そのため、可逆性に対する関心はナノテクノロジー・ブームとともに復活した。

1.4 エラーに対する耐性

ナノ回路の製造及び動作には、いずれもナノスケールでの相互作用の不確実性という問題がつきまとう。製造においてこれは「欠陥」として現れる。最初からまったく動作しない素子もあれば、素子間の接続が正しくなされていないものもある。こうした欠陥に対処するため、アーキテクチャは「耐故障性を備える (defect-tolerant)」必要がある。言い換えると、冗長な(予備の)素子と配線を用意し、欠陥品のタスクを引き継げるようにすることが求められる。欠陥素子と欠陥配線をアクセス禁止にして待機系に切り替えられるよう、アーキテクチャを再構成可能とすることも必要である。

ナノ回路の動作時に発生するエラー(誤り)は、製造欠陥とは異なり、通常は「一時的」である。完璧に製造された素子においてさえ、熱ノイズ、信号ノイズ、量子力学的効果、放射などの要因によって、一時誤りは偶然に発生する。アーキテクチャが一時誤りに対処する能力を「フォールト・トレランス (fault tolerance)」という。これは回路の冗長化によって実施できる。その場合、たとえ誤りが発生した場合であっても誤りが検出でき、回路内の残りの(正しい)情報を用いて訂正できる。「誤り訂正符号 (error correcting code)」は、このような状況においてよく知られた方法であり、信頼性のあるパフォーマンスを得るために通信及び今日のメモリ回路において広く利用されている。

1.5 ナノエレクトロニクスのアーキテクチャ

以上のように、ナノエレクトロニクスを実現

するには規則的な構造を持ったアーキテクチャが必要になる。そこでは、非同期タイミングや可逆性など、発熱を抑えるとともに、欠陥及び一時誤りに対する耐性を提供する方法が使用される。そのために私たちが提案してきたアーキテクチャは、いわゆる「セルオートマトン (cellular automaton)」に基づく。これは同一のセルを規則的に配列したもので、各セルは極めて単純な演算を実行することができる。本稿では、ナノエレクトロニクス向けのアーキテクチャとしてセルオートマトンを使用する方法について説明する。

2 セルオートマトン

セルオートマトンを最初に提唱したのはJ. von Neumann[15]である。彼はセルオートマトンの中で、生物学的な自己複製の過程を単純な数学的形式を用いて記述しようとした。セルオートマトンの魅力は、各近傍セル間に単純な局所的相互作用しか起こらなくても、複雑な挙動をモデル化できる点にある。本稿では、ナノエレクトロニクス回路の実現のために特別に考えられたセルオートマトンを使用する。ここで扱うセルオートマトンは同じセルによる2次元配列であり、それぞれ東西南北に四つの近傍セルを持つ。セルの各辺には、図1に示すように数ビットのメモリが付属している。

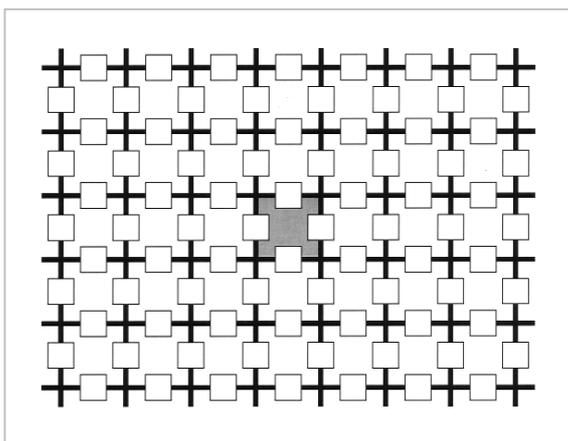


図1 セルオートマトンがセルによって構成される様子 (太線を境界とする大きいほうの四角形。一つのセルを網掛けで表示)。それぞれ四つのメモリ (小さいほうの四角形) にアクセスできる。メモリは二つのセルの共有であり、数ビットの情報が格納できる。

セルの辺にある四つのメモリを、セルに「対応する」という。また、メモリに格納される値を、そのメモリの「状態」と呼ぶ。セルは「遷移 (transition)」と呼ぶ演算に従って、対応する四つのメモリの状態を変更することができる。セルに許される遷移の内容は「遷移規則」テーブルによって表される。遷移規則は、セルに対応するメモリの状態を書き換える規則を記述する。

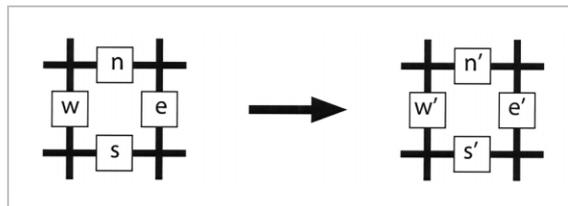


図2 遷移規則は、セルに対応するメモリにとって可能な遷移を記述する。セルのメモリ状態が規則の左辺において状態「n」、「e」、「s」、「w」と一致するとき、その規則がセルに適用することにより、セルのメモリ状態は規則の右辺に示すように、それぞれ「n'」、「e'」、「s'」、「w'」に変えることができる。

図2は、典型的な遷移規則である。遷移規則は「左辺」(矢印の左側にある部分)と「右辺」で構成される。左辺があるセルに対応するメモリの状態の組み合わせと一致するとき、その遷移規則はそのセルに「適用する」という。次に、メモリの状態は遷移規則の右辺に示される状態に置き換えることができる。セルオートマトンにおいて何らかの所望の挙動を得るには、メモリを適切な状態にし、その挙動に対応した状態変化を導く遷移規則を定義すればよい。例えば、あるデジタル電子回路と同じように振る舞うセルオートマトンを作ることが考えられる。

すべてのセルがクロック信号と同期して一斉に遷移するセルオートマトンを「同期的 (synchronous)」であるという。これは最も広く研究されているタイプである。一方、セルの遷移が互いに独立した形で乱数的なタイミングで発生するときは「非同期 (asynchronous)」のセルオートマトンが得られる。これが本稿で扱うタイプである。非同期セルオートマトンでは、そのメモリ状態が遷移規則の左辺と一致するときセルの遷移が起こり得る。この遷移は乱数的なタ

タイミングで発生する。左辺がセルのメモリ状態の組合せと一致するような遷移規則が存在しない場合、そのセルの状態は変わらない。セルの遷移は乱数的なタイミングで発生し、しかも互いに独立であるが、二つの近傍セルは決して同時に遷移することがないという制約を受ける。これにより、二つの近傍セルがその共有するメモリを同時に異なる状態に書き換える事態を防げる。

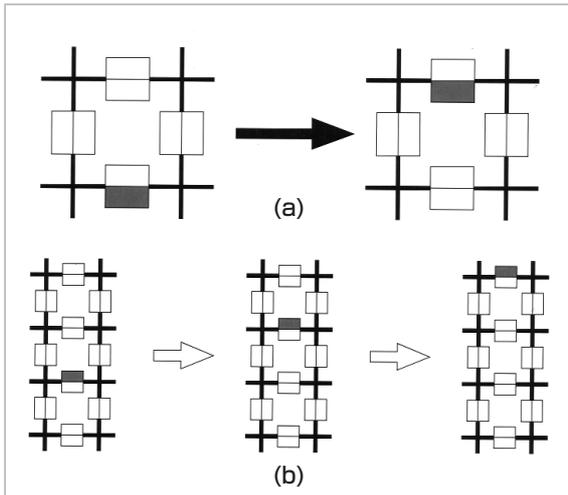


図3 (a) 信号伝播の遷移規則と (b) その規則があるセル構成に2回適応した様子。信号を1セルずつ北に連続して移動した。図のメモリは2ビットであり、各ビットについて黒いブロックが「1」の値を、白いブロックが「0」の値を表す。あるセルに対応する四つのメモリの全ビットに対して遷移規則が作用する。

図3(a)に遷移規則の一例を示す。この遷移規則は、2ビットのメモリの内容(一つのビットが0で、もう片方のビットが1)を1セルだけ北に移動する。図のメモリでは、二つのビットが白いブロックと黒いブロックで示されており、それぞれ0のビットと1のビットを表す。二つのビットは細い線で隔てられている。この遷移規則を図3(b)の左の構成に適応させると、メモリ内の01のビットパターンが1セルだけ北に移動する(図3(b)の中央の構成)。この遷移規則をもう一度適応させると、ビットパターンは更に1セル北に移動する(図3(b)の右側)。この01のビットパターンは時間とともに1つずつ北に移動するため、セルオートマトンで南から北に情報を伝達するとき使用できる。このことからこのパ

ターンを「信号(signal)」という。また、信号が移動していく途上のセルは、いわゆる「パス(path)」を形成する。回転又は反転タイプの規則も遷移に使用できる。これを用いると、南方向や東西方向の信号伝達にも上記の遷移規則が使用できる。

3 演算

ここまで述べてきたセルオートマトンは極めて単純である。信号は直線パスでしか伝達できない。もう少し有用な操作をセルオートマトンで実行するには、信号に対して「演算(operation)」を行う方法が必要になる。信号に演算を行うことは、信号を伝達するだけの操作よりも複雑である。なぜなら、その操作には複数の信号がかかる場合があるためである。例えば、ある信号を入力し、そこから二つの出力信号を生成する演算があるとする。そのような演算を「フォーク(fork)」という。フォークは一端が柄になっており(入力に相当)、他端が複数の串に分かれている(出力に相当)のである。フォークと逆の演算が「ジョイン(join)」である。ジョインは入力として二つの信号を受け取り、出力として一つの信号を生成する。ジョインが入力として一つの信号しか受信しない場合は、第2の信号が来るまで何の動作も行わずにただ待機する。ではジョイン演算子は第2の信号をいつまで待つ必要があるのか? この疑問は、私たちのセルオートマトンで使用される演算について重要なポイントを指摘する。答えは次のようである。ジョインは、第2の信号が到着するのに必要な時間、その第2の信号を待つ。それだけでなく、あらゆる演算子は、少なくとも入力信号が到着するのに必要な時間、その入力信号を待つこととする。言い換えると、信号によって何らかの遅延が生じたとしても、その信号によってなされる演算の論理結果は変わらないということである。信号が遅延しても回路演算の論理結果が変わらない回路を「耐遅延(delay-insensitive: DI)」という。DI回路は、重要なタイプの非同期回路である。DI回路は、クロック信号を送出するクロックがなくても正しく動作する。正確に言えばDI回路はデータ信号によって駆動される。各回路

の演算子は、適切な入力信号の組を受信するまで停止しており、その信号の処理が終わると適切な信号を出力し、再び停止状態になる。DI回路の演算子は、ANDゲートやNOTゲートなど、通常のデジタル回路の演算子に似ている。異なるのは、DI演算子が入力と出力の時刻が正しいことを保証する、クロック信号を必要としない点である。したがって、物理的な実現化に当たって発熱を低減する際、DI回路は有望な候補になる。

私たちのセルオートマトンにおいてフォーク演算子を実現させるため、一つのメモリが1のビットを二つ持ち、残る三つのメモリがすべて0のビットであるようなセルを用いる。

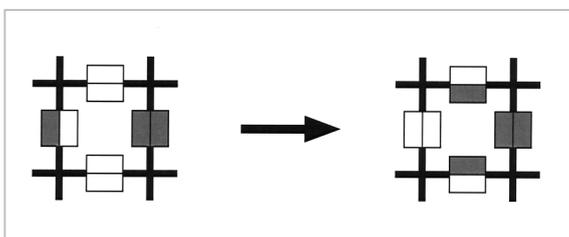


図4 フォーク演算を規定する遷移規則。フォークは、両ビット共に1であるメモリによって表される。

図4の遷移規則はフォークセルの演算が可能であり、セルが入力信号を受信すると、図5のように二つの出力信号が生成される。ただし、フォークだけでは任意の回路は作れない。例えば上述したジョイン演算子のように他の演算子が必要となる。任意の有効なDI回路は幾つかの演算子の組だけを使って構成できることが分かっている。このような演算子の組を「万能(universal)」

という。これは[11]に示されるように、わずか三つの演算子で回路を実現できる([10]も参照されたい)。紙面の都合により詳細は省略するが、この組は、図3(a)と図4にある二つの規則のほかにも更に四つの遷移規則[16]を用いるだけで私たちのセルオートマトンで実際の回路を実現できることを指摘しておきたい。私たちのセルオートマトンを基に実際の回路(1ビット・メモリやDIのANDゲートなど)を作る方法については、[16]に記載されている。よりレベルの高い、カウンタやforループなどの回路の実現については[17]において議論されている。

4 再構成性

ナノエレクトロニクスのアーキテクチャが再構成可能であるとは、その素子及び素子間の配線をユーザから与えられた機能仕様に従って再編成できることをいう。アーキテクチャとしてセルオートマトンを使用する場合、例えばある瞬間はパターン認識タスクを実行し、またある瞬間には通信タスクを実行し、さらに別の瞬間において暗号化メッセージの復号のようなナンバ・クランチング(数値演算専用計算)タスクを実行するということが起こり得る。セルオートマトンがすべて同一の単純なセルによって構成され、極めて均等な構造を持つ場合に、このような広範囲のタスクはどうすれば可能になるのだろうか？ 前節では、対応するメモリを適切な状態に設定することによって各セルの機能が決定できることをみた。これらを考え合わせると、ある状態のメモリを持ったセルを構成すれば、ある機能を備えたDI回路が形成される。こ

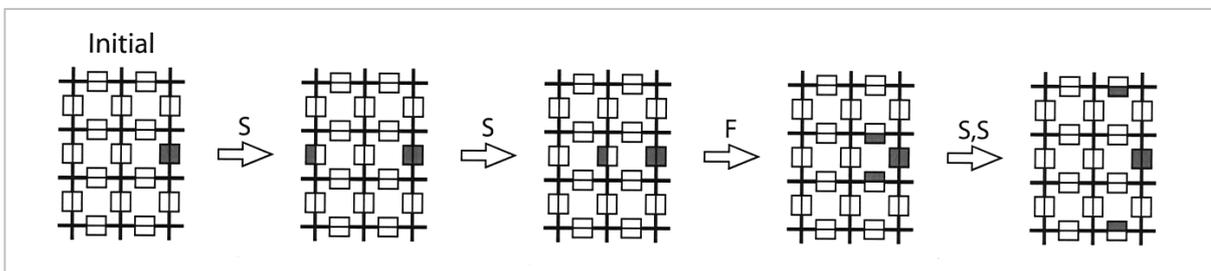


図5 フォークが西側の入力パスから一つの入力信号を受け取り、出力パスのそれぞれ(北と南)に対して信号を一つずつ生成する演算シーケンス。遷移規則を適用するたびに、対応する矢印の上にラベルが現れる。「S」は信号伝播の遷移規則を、「F」はフォークの遷移規則を表す。

のことは、セルオートマトンがメモリの状態に応じて異なる機能を持てる仕組みを説明しているが、しかしある所望の機能が生じるような状態にどのようにしてメモリを設定するのか、そしてその後、別の機能に対応する別の状態にどのようにして設定し直すのかという疑問は残ったままである。この問題は結局、セルオートマトンにおいてある情報パターンをある位置に移動する、ということに行き着く。本稿の場合、この情報パターンはDI回路配置を表すセル構成になる。それでは、この問題をどう取り扱えばよいのだろうか。

幸いにもセルオートマトンの分野は豊富な研究実績があり、なかでも自己複製の実現がその大きな成果である。これは、セルのメモリに格納されたある情報パターンをコピーし、別のセルのメモリに移動する能力である。この能力は再構成性ととてもよく似ている。上記2で指摘したように、自己複製はセルオートマトン分野の出発点となるテーマであった。しかし、自己複製をセルオートマトンで実現するためにVon Neumannが用いた方法[15]は極めて複雑であり、現代のコンピュータにおいてもメモリ・リソースと計算時間の関係から単なるシミュレーションでさえ困難である。しかし、この研究の後継者たち([2][3][19]など)は、もっと単純な自己複製セルオートマトンを発見した。私たちのセルオートマトンにおける自己複製の可能性を調べるため、私たちは簡易版のセルオートマトンに対して自己複製を実装した[20][21]。なお、私たちのセルオートマトンは、非同期で動作する点において、過去に自己複製について使用されたセルオートマトン[2][3][15][19]とは異なる。このことから、セルが遷移を行うタイミングの制御がかなり難しくなり、自己複製の実装が複雑になる。

私たちの実装[20][21]は、Von Neumannと同じ基本的な考え方を使用する。すなわち、いわゆるチューリング・マシンを利用する。これは極めて単純なコンピュータ・モデルである。チューリング・マシンは、制御メカニズムとテープユニットの二つの部分で構成される。制御メカニズムはすべての「論理作業」を実行し、DI回路として記述できる。そのためDI回路の実現に必要なものと同じ六つの遷移規則を使うこ

とで、私たちのセルオートマトンで容易に実現できる。チューリング・マシンのもう一つの部分(テープユニット)は一種のメモリであり、マシンのプログラム、データ及び一時的な結果を格納する。テープユニットは制御メカニズムよりも複雑である。テープユニットには、ヘッドがあり、このヘッドはテープに対して移動し、テープセルに対して情報の読み書きを行う。ところでチューリング・マシンによって自己複製を行うには、もう一つのメカニズムが必要になる。このメカニズムは「万能構成アーム(construction arm)」と呼ばれ、遠くのセルに到達してそのメモリに情報をコピーし、また後でアームを戻すことができる。ただし、万能構成アームを私たちのセルオートマトンで実現するには、遷移規則が更に必要となり、セルオートマトンがそれだけ複雑になる。このことはテープユニットにも当てはまる。幸いにもテープユニットは万能構成アームとよく類似している。これについては、両方が同じ遷移規則を用いて作れることが分かっており、遷移規則は全体で39になる[20][21]。これは、単にDI回路を実現するために必要となる六つの規則に比べてはるかに多い。しかし、規則の個数は低減できると私たちは考えている。これは今後の研究課題である。

5 エラーに対する耐性

再構成性により、セルオートマトンは柔軟な機能性を持つだけでなく、欠陥に対する耐性も高まる。これは、欠陥のないセルだけを用いて、セルオートマトン上にDI回路を構成できるからである。耐故障性に関する有名な結果が、Teramac[4]によって得られている。これはFPGA(フィールド・プログラマブル・ゲート・アレイ、利用者書き込み可能ゲート・アレイ)を用いた並列コンピュータである。Teramacは、そのコンポーネントの多くに欠陥がある場合でも高速計算が実行できる。ただし、欠陥周辺の経路を記したテーブルを作成し、これに応じてハードウェアを構成するマスタ・コンピュータが必要になる。したがってこれは自律システムではない。特に製造後(つまり動作中)に生じる欠陥の場合、Teramacはマスタ・コンピュータ

を継続的に接続し、ルーティング・テーブル(経路選択テーブル)をエラーフリーに維持することが必要になる。とはいえ、ナノエレクトロニクスに基づいたマスタ・コンピュータにもこうした欠陥が起り得るため、この対応策はそれだけでは完全ではない。それよりも、マスタ・コンピュータではなくナノエレクトロニクス・ハードウェア自身によって、欠陥を監視しハードウェアを再構成する方法のほうが好ましいと考えられる。そのため私たちは予備研究を行った⁷⁾。その際、セルが時間とともにある状態シーケンスをたどるようなセルオートマトンを考えた。欠陥セルは一般に状態変更ができないため、この方法によって欠陥セルを発見できる。欠陥セルが見つかったら、近傍の非欠陥セルをこの目的専用の状態によってマーキングし、欠陥セルを「隔離」する。このようにすれば、欠陥セルを避ける形でDI回路を構成できる。

誤りが一時的な場合には、上記とは異なる方法が必要になる。^[16]において、私たちは**2**及び**3**のセルオートマトンに対するフォールト・トレラント・バージョンを構築した。具体的には、セルに対応するメモリを誤り訂正符号によって符号化する。誤り訂正符号の基本的な考え方は、符号化の際に冗長情報を含めておき、何らかのメモリ・ビットに誤りが生じた場合にメモリの元の内容をその情報を用いて復元するというものである。

図6はそのような符号化の例である。下の列の2ビット・メモリには、符号化前の四つの値(00、

01、10、11)が入っている。これを符号化すると、上の列のようにそれぞれ14ビットで表される四つの値になる。したがって、メモリをフォールト・トレラント化するには、最初の2ビットではなく14ビットが必要になる。メモリのビット数が7倍になるかわり、最大4ビットの誤りが訂正可能になる。例えば図6の上列にあるメモリのいずれかで、四つの任意ビットを0から1もしくは1から0に反転させる。すると、上列の残り三つのメモリよりも元のメモリに近いビット値の組合せが得られる(図7参照)。したがって四つのビット誤りがあっても、元のメモリの内容がどうであったかを推理することができる。

[16]で指摘したように、大半の5ビット・エラーと一部の6ビット・エラーもこの14ビット・メモリで訂正できる。各メモリのビット数を増減することによってビット誤りに対する耐性を強化(又は緩和)できる点において、私たちの方式には柔軟性がある。私たちの誤り訂正方式のポイントは、セルに対応するメモリに何らかの誤りのあるものが一つでも存在するかぎり、遷移を禁止する点にある。各メモリに含まれる誤りは、乱数的な時間において訂正される。あるセルに対応する全メモリがエラーフリーになると、そのセルで遷移を行うための事前条件が生成される。言い換えると、セルはそのメモリ内の誤りがすべて訂正されてからしか動作しない。この方式に関する詳細は^[16]を、また別のタイプの誤り訂正符号を用いた同様の方式については^[6]をそれぞれ参照されたい。

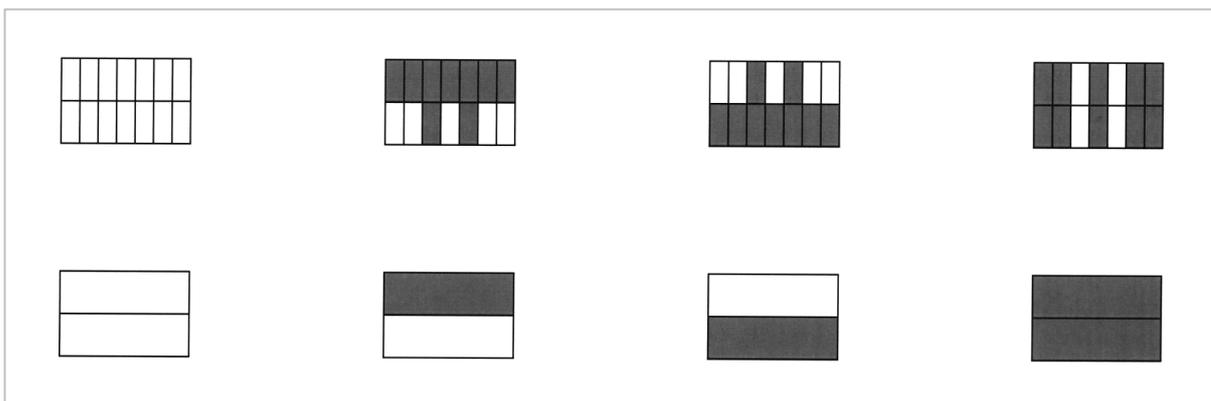


図6 誤り訂正符号の模式図。下の列は符号化する前の2ビット・メモリ、上の列はそれぞれに対して14ビットで符号化したメモリである。黒いブロックは値が1のビットを、白いブロックは値が0のビットを表す。

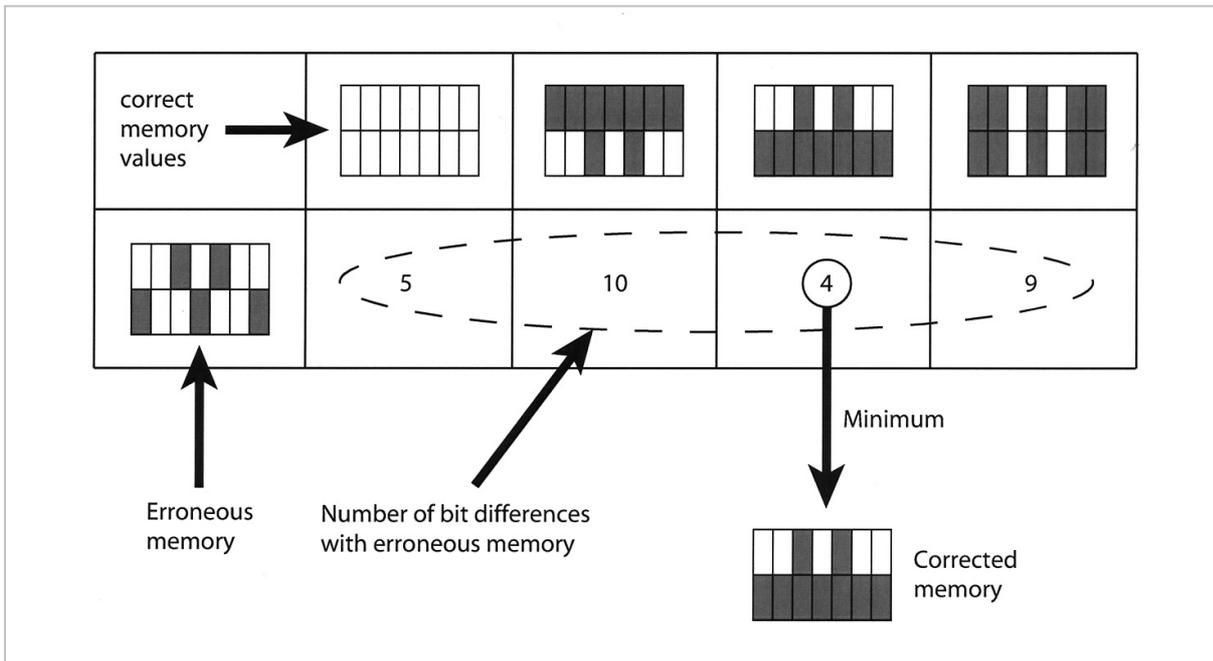


図7 14ビット・メモリにおける四つのビット誤りの発生と訂正。上列の14ビット・メモリに格納された四つの正しい値は、故障メモリとそれぞれ5、10、4、9ビット異なる。したがって故障メモリの訂正後の値は、それと4ビットしか異なる値であると考えられる。

6 考察

ナノエレクトロニクス回路を構築するには、使用するアーキテクチャについて深く検討する必要がある。製造のしやすさを考慮すると、アーキテクチャは規則性を持つ必要がある。また、発熱を抑えることと、製造時及び動作時のエラーに対応できることも重要である。これまでに得られた結果をみると、セルオートマトンはこれらの需要を満たす魅力的な基礎を形成するように思われる。発熱については、非同期動作モードのセルオートマトン・モデルについて調べた。セルの遷移が乱数的に発生することで、セルにクロック信号を分配する必要がなくなった。ただ、発熱量が大きく減る可能性がある反面、セルオートマトンの動作は複雑になる。そこでこの点を解決する方法を考案した。動作を簡素化するため、耐遅延回路ができるようにセルを構成する。以前の方法[14]に比べると、これは全体のスケールでは互いに独立した動作を許容しながら、局所スケールではセルの活動を調整するという、かなり効果的な方法である。この方法は[1][9]などに記載されるように、広範なタイプの非同期セルオートマトンに適用できる。

私たちはまた、発熱を低減する代替的な方法（回路動作の可逆性を利用する）について調査した。しかし、本稿では詳しくは報告せず、可逆な非同期セルオートマトン[12]及び耐遅延回路[13]を考案したことに言及する程度である。これらの設計は計算能力の面においてそれほど効率的ではないが、この研究は、クロックを使わない可逆動作の性質に対する私たちの理解を深めてくれた。しかも何らかの予期せぬ結果をもたらしてくれる可能性を秘めている。また、可逆動作は量子コンピューティングの事前条件であるため、私たちの研究はその分野に何らかの影響を持つ可能性がある。

私たちのセルオートマトン・アプローチの実現性については、各セルをいかに高い効率で製造し、それを規則的な構造にできるかによって決まる。効率のよい製造を実現する有望な方法の一つは、いわゆる「ナノセル(Nanocell)」方式[5]である。この方式では、セルの内部がナノ配線のランダム・ネットワークでつながったナノ素子で構成される。ある所望の機能を実現するには、セルの入出力に適切な信号を用い、ニューラル・ネットワークの学習に似たプロセスによってネットワーク内の一部の経路を書き込む

ことが必要である。製造及び学習が完了したら、Seemanら[18]が提案する類のDNAタイリング技法を用いてセルを一つに合わせることができる。物理的な実現にとって重要な新技術の多くは次の10年間に出現するだろうが、現時点で明らかなのは、セルをできるだけ単純にする、すなわち最少組の遷移規則でセルを動作させることが重要な鍵となる。そのためには、より単純な耐遅延回路とより単純な自己複製技法を考案しなければならず、それがまさに現在の私たちの研究内容である。

最終的にナノエレクトロニクスには何が期待できるのだろうか？ 実現可能な高集積密度には、現在のVLSIに比べて大幅な性能向上の可能性がある。性能向上をもたらす主な原因は使用できる素子数が大幅に増えることだが、素子のスイッチ速度の向上も寄与すると考えられる。そのような多数の素子が効果的に使用されるアプリケーションが、ナノエレクトロニクスの主要な受益者となろう。私たちは今、並列処理が可能な多くの独立した「サブ問題」に細分化す

ることが適切となるアプリケーションについて考えている。この方面で代表的なものに、人工知能(AI)問題、探索問題、最適化問題及び多くのパターン認識問題がある。ナノエレクトロニクスの発熱が低減されることで消費電力が下がるため、アプリケーションの移動性(ポータビリティ)が大いに促進される。したがって、太陽電池で時折充電する以外に充電の必要性のない機器を思い描くことができる。その種の機器はユーザが継続的に携帯し、ワイヤレスのまま全世界とつながることを可能にする。こうした機器はその優れた能力により、例えば顔データの検索や音声認識など、ユーザの知的能力向上にとって重要なものになる。ナノエレクトロニクスによって実現可能となり得るその他のアプリケーションとして、外界とインタフェースする超小型のセンサ、アクチュエータ、通信ハブをつなぐサブミリメートル・スケールのネットワークが考えられる。そのようなネットワークは、超小型環境の制御において有用かもしれない。

参考文献

- 1 S. Adachi, F. Peper, and J. Lee, "Computation by asynchronously updating cellular automata", *Journal of Statistical Physics*, Vol. 114, Nos. 1/2, pp. 261 - 289, 2004.
- 2 E.R. Banks, "Universality in cellular automata", *Proc. IEEE 11th Annual Symposium on Switching and Automata Theory*, pp. 194 - 215, 1970.
- 3 E.F. Codd, *Cellular Automata*, Academic Press, New York, 1968.
- 4 J.R. Heath, P.J. Kuekes, G.S. Snider, and R.S. Williams, "A defect-tolerant computer architecture: opportunities for nanotechnology", *Science*, Vol. 280, pp. 1716 - 1721, 1998.
- 5 C.P. Husband, S.M. Husband, J.S. Daniels, and J.M. Tour, "Logic and memory with Nanocell circuits", *IEEE Transactions on Electron Devices*, Vol. 50, No. 9, pp. 1865 - 1875, 2003.
- 6 T. Isokawa, F. Abo, F. Peper, S. Adachi, J. Lee, N. Matsui, and S. Mashiko, "Fault-tolerant nanocomputers based on asynchronous cellular automata", *International Journal of Modern Physics C*, Vol. 15, No. 6, pp. 893-915, 2004.
- 7 T. Isokawa, F. Abo, F. Peper, N. Kamiura, and N. Matsui, "Defect-tolerant computing based on an asynchronous cellular automaton", *Proc. SICE Annual Conference, Fukui, Japan*, pp. 1746 - 1749, 2003.
- 8 R. Landauer, "Irreversibility and heat generation in the computing process", *IBM Journal of Research and Development*, Vol. 5, pp. 183 - 191, 1961.
- 9 J. Lee, S. Adachi, F. Peper, and K. Morita, "Embedding universal delay-insensitive circuits in asynchronous cellular spaces", *Fundamenta Informaticae*, Vol. 58, Nos. 3/4, pp. 295 - 320, 2003.
- 10 J. Lee, F. Peper, S. Adachi, and K. Morita, "Universal delay-insensitive circuits with bi-directional and buffer-

- ing lines", IEEE Transactions on Computers, Vol. 53, No. 8, pp. 1034 - 1046, 2004.
- 11 J. Lee, F. Peper, S. Adachi, and S. Mashiko, "Universal delay-insensitive systems with buffering lines", IEEE Transactions on Circuits and Systems I, in press, 2004.
 - 12 J. Lee, F. Peper, S. Adachi, K. Morita, and S. Mashiko, "Reversible computation in asynchronous cellular automata", Unconventional Models of Computation, Lecture Notes in Computer Science, Vol. LNCS 2509, pp. 220 - 229, 2002.
 - 13 J. Lee, F. Peper, S. Adachi, and S. Mashiko, "On reversible computation in asynchronous systems", in: Quantum Information and Complexity: Proceedings of the 2003 Meijo Winter School and Conference, T. Hida (Ed.), World Scientific, in press, 2004.
 - 14 K. Nakamura, "Asynchronous cellular automata and their computational ability", Systems, Computers, Controls, Vol. 5, pp. 58 - 66, 1974.
 - 15 J. von Neumann, Theory of Self-Reproducing Automata, University of Illinois Press, 1966.
 - 16 F. Peper, J. Lee, F. Abo, T. Isokawa, S. Adachi, N. Matsui, and S. Mashiko, "Fault-tolerance in nanocomputers: a cellular array approach", IEEE Transactions on Nanotechnology, Vol. 3, No. 1, pp. 187 - 201, 2004.
 - 17 F. Peper, J. Lee, S. Adachi, and S. Mashiko, "Laying out circuits on asynchronous cellular arrays: a step towards feasible nanocomputers?", Nanotechnology, Vol. 14, pp. 469 - 485, 2003.
 - 18 N.C. Seeman, "Nanotechnology and the double helix", Scientific American, Vol. 290, No. 6, pp. 64 - 75, June 2004.
 - 19 T. Serizawa, "Three-state Neumann neighbor cellular automata capable of constructing self-reproducing machines", Systems and Computers in Japan, Vol. 18, pp. 33 - 40, 1986.
 - 20 Y. Takada, T. Isokawa, F. Peper, and N. Matsui, "Universal construction and self-reproduction on self-timed cellular automata", submitted to International Journal of Modern Physics C, 2004.
 - 21 Y. Takada, T. Isokawa, F. Peper, and N. Matsui, "Universal construction on self-timed cellular automata", Cellular Automata for Research and Industry, Lecture Notes in Computer Science, Vol. LNCS 3305, pp. 21 - 30, 2004.



Ferdinand Peper

基礎先端部門関西先端研究センターナノ機構グループ主任研究員 工学博士
ナノテクノロジー、コンピュータ・サイエンス



李 佳(LEE Jia)

基礎先端部門関西先端研究センターナノ機構グループ専攻研究員 博士(工学)
コンピュータ・サイエンス、ナノテクノロジー



あきひろ ささき
定立 進

基礎先端部門関西先端研究センターナノ機構グループ専攻研究員 博士(工学)
コンピュータ・サイエンス、ナノテクノロジー



いさわひと じろう
磯川 悌次郎

兵庫県立大学大学院工学研究科助手
博士(工学)
コンピュータ・サイエンス



たかひろ ふうけい
髙田 庸介

兵庫県立大学大学院工学研究科大学院生
コンピュータ・サイエンス



まつい のぶゆき
松井 伸之

兵庫県立大学大学院工学研究科教授
工学博士
コンピュータ・サイエンス、物理学



しげお たかぎ
益子 信郎

基礎先端部門関西先端研究センター長
工学博士
光計測、レーザー光学、分光計測、
ナノテクノロジー

